

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 1 9 日
Date of Application:

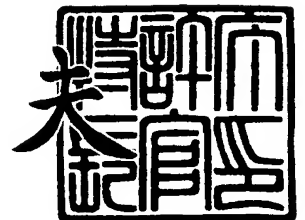
出 願 番 号 特 願 2 0 0 3 - 2 9 5 2 3 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 2 9 5 2 3 4]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 9 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 4 3 9 3

【書類名】 特許願
【整理番号】 543752JP02
【提出日】 平成15年 8月19日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/76
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 松本 拓治
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 一法師 隆志
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 岩松 俊明
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 平野 有一
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
 【識別番号】 100089233
 【弁理士】
 【氏名又は名称】 吉田 茂明
【選任した代理人】
 【識別番号】 100088672
 【弁理士】
 【氏名又は名称】 吉竹 英俊
【選任した代理人】
 【識別番号】 100088845
 【弁理士】
 【氏名又は名称】 有田 貴弘
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 6641
 【出願日】 平成15年 1月15日
【手数料の表示】
 【予納台帳番号】 012852
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0307615

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板、絶縁層、及び第 1 導電型の半導体層がこの順に積層された構造を有する S O I 基板と、

前記半導体層の主面内に部分的に形成され、前記絶縁層とによって前記半導体層の一部を挟む底面を有する素子分離絶縁膜と、

前記素子分離絶縁膜によって規定される素子形成領域内において、前記半導体層の前記主面上に部分的に形成されたゲート構造と、

前記素子形成領域内において、前記ゲート構造から露出している部分の前記半導体層の前記主面内に形成され、前記ゲート構造の下方のチャネル形成領域を挟んで対を成す凹部と、

前記凹部の底面内に形成され、前記チャネル形成領域を挟んで対を成し、その底面又はその空乏層が前記絶縁層に到達し、前記第 1 導電型とは異なる第 2 導電型のソース・ドレイン領域と

を備える、半導体装置。

【請求項 2】

前記ゲート構造が形成されている部分の前記半導体層の前記主面と、前記凹部の側面とが成す角度は、 90° よりも大きい、請求項 1 に記載の半導体装置。

【請求項 3】

前記凹部の端部は、前記ゲート構造の端部の下方に潜り込んでいる、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記ソース・ドレイン領域は、

前記半導体層の前記主面内に形成された、比較的低濃度の第 1 の不純物導入領域と、

前記第 1 の不純物導入領域よりも深く形成された、比較的高濃度の第 2 の不純物導入領域と

を有し、

前記半導体層の前記主面から前記凹部の前記底面までの深さは、前記半導体層の前記主面から前記第 1 の不純物導入領域の底面までの深さよりも浅い、請求項 1 ～ 3 のいずれか一つに記載の半導体装置。

【請求項 5】

前記ソース・ドレイン領域は、前記第 2 の不純物導入領域よりも浅く前記半導体層の前記主面内に形成された第 3 の不純物導入領域をさらに有する、請求項 4 に記載の半導体装置。

【請求項 6】

前記ソース・ドレイン領域は、

前記半導体層の前記主面内に形成された、比較的低濃度の第 1 の不純物導入領域と、

前記第 1 の不純物導入領域よりも深く形成された、比較的高濃度の第 2 の不純物導入領域と、

前記半導体層の前記主面内に形成された第 3 の不純物導入領域と

を有し、

前記半導体層の前記主面から前記第 3 の不純物導入領域の底面までの深さは、前記半導体層の前記主面から前記第 1 の不純物導入領域の底面までの深さよりも深く、

前記半導体層の前記主面から前記凹部の前記底面までの深さは、前記半導体層の前記主面から前記第 3 の不純物導入領域の前記底面までの深さよりも浅い、請求項 1 ～ 3 のいずれか一つに記載の半導体装置。

【請求項 7】

前記ゲート構造は、

前記半導体層の前記主面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ゲート電極の側面に形成された第1のサイドウォールとを有し、

前記半導体装置は、

前記第1のサイドウォールに接して前記凹部の前記底面上に形成された第2のサイドウォールと、

前記第2のサイドウォールから露出している部分の前記ソース・ドレイン領域上に形成された、金属-半導体化合物層と

をさらに備える、請求項1～6のいずれか一つに記載の半導体装置。

【請求項8】

前記素子分離絶縁膜に接して前記凹部の前記底面上に形成された第3のサイドウォールをさらに備え、

前記金属-半導体化合物層は、前記第2及び第3のサイドウォールから露出している部分の前記ソース・ドレイン領域上に形成されている、請求項7に記載の半導体装置。

【請求項9】

前記凹部の底面上に形成された半導体領域と、

前記半導体領域上に形成された金属-半導体化合物層と

をさらに備える、請求項1～6のいずれか一つに記載の半導体装置。

【請求項10】

前記SOI基板内にはNMOSトランジスタ及びPMOSトランジスタが形成されており、

前記半導体装置は、前記NMOSトランジスタ及び前記PMOSトランジスタのうちのいずれか一方である、請求項1～9のいずれか一つに記載の半導体装置。

【請求項11】

前記SOI基板内には、比較的低い電源電圧で動作する第1のトランジスタと、比較的高い電源電圧で動作する第2のトランジスタとが形成されており、

前記半導体装置は、前記第1及び第2のトランジスタのうちのいずれか一方である、請求項1～9のいずれか一つに記載の半導体装置。

【書類名】 明細書

【発明の名称】 半導体装置

【技術分野】

【0001】

この発明は、SOI基板を用いた半導体装置及びその製造方法に関するものである。

【背景技術】

【0002】

SOI基板は、半導体基板、絶縁層、及び第1導電型の半導体層がこの順に積層された構造を有している。SOI基板を用いた従来の半導体装置の製造方法では、(a)いわゆる部分分離型の素子分離絶縁膜を、半導体層の上面内に部分的に形成する工程と、(b)素子形成領域内において、半導体層の上面上にゲート構造を部分的に形成する工程と、(c)半導体層の上面内に不純物をイオン注入することにより、第2導電型のソース・ドレイン領域を、半導体層の上面から絶縁層に到達して形成する工程とが、この順に実行されていた。

【0003】

なお、SOI基板を用いた半導体装置及びその製造方法に関する技術は、下記の特許文献1に開示されている。

【0004】

【特許文献1】 特開平10-209167号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、従来の半導体装置の製造方法において、ソース・ドレイン領域を絶縁層に到達させるべくイオン注入の注入エネルギーを高くしたのでは、素子分離絶縁膜の底面と絶縁層の上面との間に位置する部分の半導体層内にも第2導電型の不純物が注入されてしまい、その部分の第1導電型の濃度が薄くなって、分離耐圧が低下するという問題がある。

【0006】

この問題を解決すべく、不純物が素子分離絶縁膜を突き抜けないようにイオン注入の注入エネルギーを低くしたのでは、ソース・ドレイン領域が絶縁層に到達しないために、ソース・ドレイン領域の接合容量が増加する。その結果、動作速度の低下や消費電力の増大等の弊害が生じてしまう。

【0007】

また、上記問題を解決すべく、素子分離絶縁膜の底面が絶縁層の上面に近づくように素子分離絶縁膜を深く形成したのでは、素子分離絶縁膜の底面と絶縁層の上面との間に位置する部分の半導体層の抵抗値が増加してしまうという弊害が生じる。

【0008】

さらに、上記問題を解決すべく、素子分離絶縁膜の上面が半導体層の上面よりも極端に上方に位置するように素子分離絶縁膜の膜厚を厚くしたのでは、素子分離絶縁膜の上面と半導体層の上面との段差に起因して、ゲート電極を高精度に形成することが困難となる。その結果、動作速度の低下や特性のばらつき等の弊害が生じてしまう。

【0009】

本発明はかかる問題を解決するために成されたものであり、接合容量の増加等の弊害を伴わずに分離耐圧の低下を適切に回避し得る、半導体装置及びその製造方法を得ることを目的とするものである。

【課題を解決するための手段】

【0010】

この発明によれば、半導体装置は、半導体基板、絶縁層、及び第1導電型の半導体層がこの順に積層された構造を有するSOI基板と、半導体層の主面内に部分的に形成され、絶縁層とによって半導体層の一部を挟む底面を有する素子分離絶縁膜と、素子分離絶縁膜

によって規定される素子形成領域内において、半導体層の主面上に部分的に形成されたゲート構造と、素子形成領域内において、ゲート構造から露出している部分の半導体層の主面内に形成され、ゲート構造の下方のチャネル形成領域を挟んで対を成す凹部と、凹部の底面内に形成され、チャネル形成領域を挟んで対を成し、その底面又はその空乏層が絶縁層に到達し、第1導電型とは異なる第2導電型のソース・ドレイン領域とを備える。

【発明の効果】

【0011】

この発明によれば、凹部を形成することによって半導体層を予め薄膜化した後に、ソース・ドレイン領域を形成することができる。従って、素子分離絶縁膜の底面と絶縁層の上面との間に位置している部分の第1導電型の半導体層内に、第2導電型の不純物が注入されないため、分離耐圧が低下することを回避できる。しかも、ソース・ドレイン領域は絶縁層に到達して形成されているため、ソース・ドレイン領域の接合容量が増加することもない。

【発明を実施するための最良の形態】

【0012】

実施の形態1.

図1は、本発明の実施の形態1に係る半導体装置の構造を示す断面図である。SOI基板4は、シリコン基板1、BOX (buried oxide) 層2、及びp型のシリコン層3がこの順に積層された構造を有している。シリコン層3の上面内には、いわゆる部分分離型の素子分離絶縁膜5が部分的に形成されている。素子分離絶縁膜5の材質は、例えばシリコン酸化膜である。素子分離絶縁膜5の底面とBOX層2の上面とによって、シリコン層3の一部が挟まれている。

【0013】

素子分離絶縁膜5によって規定される素子形成領域内において、シリコン層3の上面上には、ゲート構造が部分的に形成されている。ゲート構造は、シリコン層3の上面上に形成された、シリコン酸化膜から成るゲート絶縁膜6と、ゲート絶縁膜6上に形成された、ポリシリコンから成るゲート電極7と、ゲート電極7の側面に形成された、シリコン窒化膜から成るサイドウォール9と、ゲート電極7の上面上に形成されたコバルトシリサイド層8とを有している。ゲート構造の下方に位置する部分のシリコン層3は、チャネル形成領域として規定される。ここで、各部の材質は、上記の例に限定されるものではない。ゲート絶縁膜6の材質は、シリコン酸窒化膜又は高誘電体膜等であっても良い。ゲート電極7の材質は、タングステン、アルミニウム、又はタンタル等の金属であっても良い。サイドウォール9の材質は、シリコン酸化膜とシリコン窒化膜との複合膜であっても良い。コバルトシリサイド層8の代わりに、ニッケルシリサイド層又はチタンシリサイド層等が形成されていても良い。

【0014】

素子形成領域内において、ゲート構造から露出している部分のシリコン層3の上面内には、チャネル形成領域を挟んで対を成す凹部14が形成されている。また、シリコン層3内には、チャネル形成領域を挟んで対を成す、n型のソース・ドレイン領域12が形成されている。ソース・ドレイン領域12は、シリコン層3の上面内に浅く形成された、比較的低濃度の不純物導入領域（「エクステンション」とも称される）10と、不純物導入領域10よりも深く形成された、比較的高濃度の不純物導入領域11とを有している。不純物導入領域11は、凹部14の底面からBOX層2の上面に到達して形成されている。また、ゲート構造から露出している部分のソース・ドレイン領域12の上面上には、コバルトシリサイド層13が形成されている。

【0015】

図1には、不純物導入領域11の底面がBOX層2の上面に接触している構造を示したが、この構造の代わりに、不純物導入領域11とシリコン層3との界面に形成される空乏層が、BOX層2の上面に到達する構造が採用されても良い。但し、接合容量の低減を図る観点からは、不純物導入領域11の底面がBOX層2の上面に接触している構造が望ま

しいため、本明細書では、この構造が採用された場合について説明する。

【0016】

図2～8は、本実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。図2を参照して、周知のLOCOS分離技術又はトレンチ分離技術によって、素子分離絶縁膜5をシリコン層3の上面内に部分的に形成する。次に、熱酸化法によって、シリコン酸化膜15をシリコン層3の上面上に形成する。次に、CVD法によって、ポリシリコン膜16及びシリコン酸化膜17をこの順に全面的に形成する。

【0017】

図3を参照して、次に、写真製版法及び異方性ドライエッチング法によって、ポリシリコン膜16及びシリコン酸化膜17をパターンニングする。これにより、ポリシリコン膜19及びシリコン酸化膜20が形成される。また、シリコン酸化膜15の一部がエッチングされて、シリコン酸化膜18が形成される。

【0018】

図4を参照して、次に、イオン注入法によって、n型の不純物をシリコン酸化膜18を介してシリコン層3の上面内に注入することにより、不純物導入領域10を形成する。このとき、ショートチャネル効果を抑制するために、比較的低濃度のp型の不純物層（一般的に「ポケット領域」と称される）を形成しても良い。但し、説明の簡略化のため、以後の説明ではポケット領域については省略する。

【0019】

図5を参照して、次に、CVD法によってシリコン窒化膜を全面的に形成する。次に、エッチバックを行うことにより、ポリシリコン膜19及びシリコン酸化膜20の側面にサイドウォール9を形成する。

【0020】

図6を参照して、次に、シリコン酸化膜はエッチングされやすく、シリコン、ポリシリコン、及びシリコン窒化膜はエッチングされにくい条件で、エッチングを行う。これにより、シリコン酸化膜20が除去されて、ポリシリコン膜19の上面が露出する。また、サイドウォール9及びポリシリコン膜19から露出している部分のシリコン酸化膜18が除去されて、ゲート絶縁膜6が形成される。なお、図面には現さないが、このエッチングによって素子分離絶縁膜5も若干エッチングされる。

【0021】

図7を参照して、次に、シリコン及びポリシリコンはエッチングされやすく、シリコン酸化膜及びシリコン窒化膜はエッチングされにくい条件で、異方性ドライエッチングを行う。これにより、ゲート絶縁膜6及び素子分離絶縁膜5から露出している部分のシリコン層3が膜厚D1だけエッチングされて、凹部14が形成される。また、ポリシリコン膜19の上部が併せてエッチングされて、ゲート電極7が形成される。凹部14の底面とBOX層2の上面とによって挟まれている部分のシリコン層3の膜厚は、D2である。

【0022】

図8を参照して、次に、イオン注入法によって、n型の不純物をシリコン層3の上面内に注入することにより、不純物導入領域11を形成する。このイオン注入の注入エネルギーは、凹部14の底面に注入された不純物がシリコン層3の底面にまで到達し、かつ、素子分離絶縁膜5の上面に注入された不純物が素子分離絶縁膜5を突き抜けない大きさに設定される。

【0023】

また、このイオン注入によって、n型の不純物はゲート電極7内にも併せて注入される。ポリシリコン膜19が薄膜化されてゲート電極7が形成されているため、不純物はゲート電極7の深部、即ちゲート絶縁膜6との界面付近にまで到達する。その結果、ゲート空乏化を抑制することができる。ゲート空乏化を抑制することによって、電流駆動能力を向上できる。

【0024】

その後、ゲート電極7及びソース・ドレイン領域12の各上面をシリサイド化してコバ

ルトシリサイド層 8, 13 を形成することにより、図 1 に示した構造が得られる。

【0025】

このように本実施の形態 1 に係る半導体装置及びその製造方法によると、凹部 14 を形成することによってシリコン層 3 が予め薄膜化された後に、イオン注入法によって不純物導入領域 11 が形成される。従って、素子分離絶縁膜 5 の底面と BOX 層 2 の上面との間に位置する部分の p 型のシリコン層 3 内に、n 型の不純物が注入されないため、分離耐圧が低下することを回避できる。しかも、不純物導入領域 11 は BOX 層 2 の上面に到達して形成されるため、ソース・ドレイン領域 12 の接合容量が増加することもない。

【0026】

また、凹部 14 を形成するためのドライエッチングによって、シリコン層 3 内に欠陥が形成される。この欠陥はライフタイムキラーとして機能するため、SOI 基板を用いた半導体装置に特有の問題である、基板フローティング効果の発生を抑制することもできる。

【0027】

なお、本実施の形態 1 では NMOS トランジスタを例にとり説明したが、PMOS トランジスタの場合であっても、あるいは NMOS トランジスタと PMOS トランジスタとが混載された CMOS トランジスタの場合であっても、上記と同様の効果を得ることができる。後述の他の実施の形態についても同様である。

【0028】

実施の形態 2.

図 9 は、本発明の実施の形態 2 に係る半導体装置の構造を示す断面図である。サイドウォール 9 の底面は、ゲート絶縁膜 6 の底面よりも下方に位置している。即ち、サイドウォール 9 が形成されている部分のシリコン層 3 の膜厚は、ゲート絶縁膜 6 が形成されている部分のシリコン層 3 の膜厚よりも薄い。

【0029】

図 10 ～ 15 は、本実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態 1 と同様の方法により、図 2 に示した構造を得る。

【0030】

図 10 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、シリコン酸化膜 15、ポリシリコン膜 16、及びシリコン酸化膜 17 をパターンニングする。これにより、ゲート絶縁膜 6、ポリシリコン膜 19、及びシリコン酸化膜 20 が形成される。また、オーバーエッチングによって、ゲート絶縁膜 6 及び素子分離絶縁膜 5 から露出している部分のシリコン層 3 を膜厚 D3 だけエッチングすることにより、凹部 21 を形成する。

【0031】

図 11 を参照して、次に、イオン注入法によって、n 型の不純物をシリコン層 3 の上面内に注入することにより、不純物導入領域 10 を形成する。不純物導入領域 10 は、凹部 21 の底面内に形成される。不純物導入領域 10 を形成するためのイオン注入の注入エネルギーは、本実施の形態 2 と上記実施の形態 1 とで同一である。

【0032】

図 12 を参照して、次に、CVD 法によってシリコン窒化膜を全面的に形成した後にエッチバックを行うことにより、サイドウォール 9 を形成する。サイドウォール 9 は、ゲート絶縁膜 6、ポリシリコン膜 19、及びシリコン酸化膜 20 の各側面に接して、凹部 21 の底面上に形成されている。

【0033】

図 13 を参照して、次に、シリコン酸化膜はエッチングされやすく、シリコン、ポリシリコン、及びシリコン窒化膜はエッチングされにくい条件で、エッチングを行う。これにより、シリコン酸化膜 20 が除去されて、ポリシリコン膜 19 の上面が露出する。

【0034】

図 14 を参照して、次に、シリコン及びポリシリコンはエッチングされやすく、シリコン酸化膜及びシリコン窒化膜はエッチングされにくい条件で、異方性ドライエッチングを

行う。これにより、サイドウォール 9、ゲート絶縁膜 6、及び素子分離絶縁膜 5 から露出している部分のシリコン層 3 が膜厚 D_1 だけエッチングされて、凹部 14 が形成される。また、ポリシリコン膜 19 の上部が併せてエッチングされて、ゲート電極 7 が形成される。凹部 14 の底面と BOX 層 2 の上面とによって挟まれている部分のシリコン層 3 の膜厚 D_4 は、図 7 に示した膜厚 D_2 よりも、膜厚 D_3 分だけ薄い。

【0035】

図 15 を参照して、次に、上記実施の形態 1 と同様に、 n 型の不純物をシリコン層 3 の上面内にイオン注入することにより、不純物導入領域 11 を形成する。上記の通り、本実施の形態 2 に係るシリコン層 3 の膜厚 D_4 は、上記実施の形態 1 に係るシリコン層 3 の膜厚 D_2 よりも薄い。従って、本実施の形態 2 においては、不純物導入領域 11 を形成するためのイオン注入の注入エネルギーを、上記実施の形態 1 よりも下げることができる。

【0036】

その後、ゲート電極 7 及びソース・ドレイン領域 12 の各上面をシリサイド化してコバルトシリサイド層 8、13 を形成することにより、図 9 に示した構造が得られる。

【0037】

このように本実施の形態 2 に係る半導体装置及びその製造方法によると、不純物導入領域 11 を形成するためのイオン注入の注入エネルギーを、上記実施の形態 1 よりも下げることができる。そのため、素子分離絶縁膜 5 の上面に注入された不純物が素子分離絶縁膜 5 を突き抜けることを、上記実施の形態 1 よりも確実に回避することができる。

【0038】

図 16 は、本実施の形態 2 の変形例に係る半導体装置の製造方法の一工程を示す断面図である。図 14 に示した工程ではシリコン層 3 が膜厚 D_1 だけエッチングされたが、図 16 に示すように、膜厚 D_5 ($< D_1$) だけシリコン層 3 をエッチングすることによって、凹部 22 を形成してもよい。凹部 22 の底面と BOX 層 2 の上面とによって挟まれている部分のシリコン層 3 の膜厚は、図 7 に示した膜厚 D_2 に等しい。

【0039】

このように本実施の形態 2 の変形例に係る半導体装置及びその製造方法によると、対を成す不純物導入領域 11 同士の間隔を、上記実施の形態 1 と同程度に保つことができる。そのため、図 9 に示した構造と比較して、ショートチャネル効果の影響を抑制することができる。

【0040】

また、上記実施の形態 1 と比較して、不純物導入領域 10 が膜厚 D_3 分だけ深くに形成される。そのため、不純物導入領域 10 と不純物導入領域 11 とが互いに重なり合う度合いを、上記実施の形態 1 よりも大きくできる。その結果、ソース・ドレイン領域 12 の寄生抵抗を、上記実施の形態 1 よりも低減することが可能となる。

【0041】

実施の形態 3.

図 17、18 は、図 7 に示した構造のうち、凹部 14 が形成されている付近の構造を拡大して示す断面図である。図 17 を参照して、ゲート絶縁膜 6 が形成されている部分のシリコン層 3 の上面と、凹部 14 の側面とが成す角度 α は、 90° よりも大きい。角度 α は、 Cl_2 や HBr 等のエッチングガスに添加する O_2 ガスの量によって調整することができる。

【0042】

このように角度 α を 90° よりも大きく設定することにより、図 1 に示した構造において、コバルトシリサイド層 13 とチャネル形成領域との間の距離を、比較的長く保つことができる。その結果、コバルトシリサイド層 13 とチャネル形成領域との間に流れる接合リーク電流を低減することができる。

【0043】

また、図 17 を参照して、シリコン層 3 の上面から凹部 14 の底面までの深さ（膜厚 D_1 ）は、シリコン層 3 の上面から不純物導入領域 10 の底面までの深さ D_6 よりも浅い。

凹部 14 の深さは、エッチング時間によって調整することができる。

【0044】

このように $D1 < D6$ に設定することにより、凹部 14 の形成に起因して不純物導入領域 10 の寄生抵抗が増加することを、抑制することができる。

【0045】

図 18 を参照して、凹部 14 の端部は、ゲート絶縁膜 6 の端部の下方に潜り込んでいても良い。例えば、等方性エッチングによってシリコン層 3 をエッチングすることにより、かかる構造を得ることができる。

【0046】

このようにゲート構造の端部の下方に潜り込むように凹部 14 を形成することにより、ライフタイムキラーとして機能する欠陥を、よりチャネル形成領域に近付けて形成することができる。その結果、基板フローティング効果の発生を、より効果的に抑制することができる。

【0047】

実施の形態 4.

図 19 は、本発明の実施の形態 4 に係る半導体装置の構造を示す断面図である。SOI 基板 4 内には、NMOS トランジスタと PMOS トランジスタとが形成されている。NMOS トランジスタは、p 型のシリコン層 3₁、ゲート絶縁膜 6₁、ゲート電極 7₁、コバルトシリサイド層 8₁、13₁、サイドウォール 9₁、及び n 型のソース・ドレイン領域 12₁ を備えている。ソース・ドレイン領域 12₁ は、不純物導入領域 10₁、11₁ を有している。NMOS トランジスタに関しては、上記実施の形態 1 と同様に、凹部 14₁ の底面内にソース・ドレイン領域 12₁ が形成された構造（以下、本明細書において「リセスソース・ドレイン構造」と称する）が採用されている。

【0048】

上記実施の形態 1 で述べたように、リセスソース・ドレイン構造を採用すると、基板フローティング効果の発生を抑制することができる。一般的に、基板フローティング効果は、PMOS トランジスタよりも NMOS トランジスタのほうが問題となる。そのため、NMOS トランジスタにリセスソース・ドレイン構造を採用することにより、NMOS トランジスタに関して基板フローティング効果の発生を抑制することができる。

【0049】

また、リセスソース・ドレイン構造を採用すると、チャネル形成領域がコバルトシリサイド層 13₁ に引っ張られることによってシリコン層 3₁ の内部に発生する応力が、リセスソース・ドレイン構造が採用されていない場合よりも増加する。その結果、キャリアの移動度が増加するため、NMOS トランジスタにリセスソース・ドレイン構造を採用することにより、電流駆動能力を向上できる。

【0050】

PMOS トランジスタは、n 型のシリコン層 3₂、ゲート絶縁膜 6₂、ゲート電極 7₂、コバルトシリサイド層 8₂、13₂、サイドウォール 9₂、及び p 型のソース・ドレイン領域 12₂ を備えている。ソース・ドレイン領域 12₂ は、不純物導入領域 10₂、11₂ を有している。PMOS トランジスタに関しては、リセスソース・ドレイン構造が採用されおらず、従来の半導体装置と同様に、シリコン層 3₂ の上面内に不純物導入領域 10₂、11₂ が形成された、通常のソース・ドレイン構造が採用されている。

【0051】

リセスソース・ドレイン構造を採用しない場合は、リセスソース・ドレイン構造を採用した場合と比較すると、特にシリコン層 3 の深部において、対を成す不純物導入領域 11 同士の間隔を広げることができる。そのため、ショートチャネル効果の発生を抑制することができる。一般的に、ショートチャネル効果は、NMOS トランジスタよりも PMOS トランジスタのほうが問題となる。そのため、分離耐圧よりもトランジスタの性能が優先される場合には、PMOS トランジスタにリセスソース・ドレイン構造を採用しないことにより、PMOS トランジスタに関してショートチャネル効果を改善することができる。

【0052】

また、上記の通り、リセスソース・ドレイン構造を採用すると、チャネル形成領域がコバルトシリサイド層 13 に引っ張られることによってシリコン層 3 の内部に発生する応力が増加する。PMOS トランジスタに関しては、NMOS トランジスタとは逆に、上記応力が増加するとキャリアの移動度が低下してしまう。そのため、PMOS トランジスタにはリセスソース・ドレイン構造を採用しないことにより、電流駆動能力が低下することを回避できる。

【0053】

NMOS トランジスタと PMOS トランジスタとの間には、底面の一部が BOX 層 2 の上面に到達する、いわゆる完全分離型の素子分離絶縁膜 23 が形成されている。これにより、NMOS トランジスタと PMOS トランジスタとは、互いに電氣的に分離されている。この分離構造を用いることにより、ラッチアップを抑制することができる。この分離構造は、他の全ての実施の形態にも適用可能である。

【0054】

図 20～27 は、本実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。図 20 を参照して、熱酸化法によって、シリコン酸化膜 15 をシリコン層 3₁、3₂ の上面上に形成する。次に、CVD 法によって、ポリシリコン膜 16 を全面的に形成する。

【0055】

図 21 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、ポリシリコン膜 16 をパターンニングする。これにより、ポリシリコン膜 19₁ 及びゲート電極 7₂ が形成される。また、シリコン酸化膜 15 の一部がエッチングされて、シリコン酸化膜 18₁、18₂ が形成される。

【0056】

図 22 を参照して、次に、写真製版法及びイオン注入法によって、n 型の不純物をシリコン酸化膜 18₁ を介してシリコン層 3₁ の上面内に注入することにより、不純物導入領域 10₁ を形成する。次に、写真製版法及びイオン注入法によって、p 型の不純物をシリコン酸化膜 18₂ を介してシリコン層 3₂ の上面内に注入することにより、不純物導入領域 10₂ を形成する。

【0057】

図 23 を参照して、次に、CVD 法によってシリコン窒化膜を全面的に形成した後にエッチバックを行う。これにより、ポリシリコン膜 19₁ の側面にサイドウォール 9₁ が形成されるとともに、ゲート電極 7₂ の側面にサイドウォール 9₂ が形成される。また、ゲート絶縁膜 6₁、6₂ が形成される。

【0058】

図 24 を参照して、次に、写真製版法によって、PMOS トランジスタの形成予定領域を覆ってフォトレジスト 24 を形成する。

【0059】

図 25 を参照して、次に、フォトレジスト 24 をエッチングマスクに用いて、シリコン及びポリシリコンはエッチングされやすく、シリコン酸化膜及びシリコン窒化膜はエッチングされにくい条件で、異方性ドライエッチングを行う。これにより、フォトレジスト 24、ゲート絶縁膜 6₁、及び素子分離絶縁膜 5、23 から露出している部分のシリコン層 3₁ がエッチングされて、凹部 14₁ が形成される。また、ポリシリコン膜 19₁ の上部が併せてエッチングされて、ゲート電極 7₁ が形成される。

【0060】

図 26 を参照して、次に、フォトレジスト 24 を注入マスクに用いて、イオン注入法によって、n 型の不純物をシリコン層 3₁ の上面内に注入することにより、不純物導入領域 11₁ を形成する。n 型の不純物は、ゲート電極 7₁ 内にも注入される。その後、フォトレジスト 24 を除去する。

【0061】

図 2 7 を参照して、次に、写真製版法によって、NMOS トランジスタの形成予定領域を覆ってフォトレジスト 2 5 を形成する。次に、フォトレジスト 2 5 を注入マスクに用いて、イオン注入法によって、p 型の不純物をシリコン層 3₂ の上面内に注入することにより、不純物導入領域 1 1₂ を形成する。p 型の不純物は、ゲート電極 7₂ 内にも注入される。その後、フォトレジスト 2 5 を除去する。

【 0 0 6 2 】

その後、ゲート電極 7₁、7₂ 及びソース・ドレイン領域 1 2₁、1 2₂ の各上面をシリサイド化してコバルトシリサイド層 8₁、8₂、1 3₁、1 3₂ を形成することにより、図 1 9 に示した構造が得られる。

【 0 0 6 3 】

図 2 8 は、本実施の形態 4 の変形例に係る半導体装置の構造を示す断面図である。PMOS トランジスタに関しては、上記実施の形態 1 と同様に、凹部 1 4₂ の底面内にソース・ドレイン領域 1 2₂ が形成された、リセスソース・ドレイン構造が採用されている。

【 0 0 6 4 】

上記実施の形態 1 で述べたように、リセスソース・ドレイン構造の採用によってゲートポリシリコンを薄膜化することにより、ゲート空乏化を抑制することができる。一般的に、ゲート空乏化は、NMOS トランジスタよりも PMOS トランジスタのほうが問題となる。そのため、PMOS トランジスタにリセスソース・ドレイン構造を採用することにより、PMOS トランジスタのゲート空乏化を効果的に抑制することができる。

【 0 0 6 5 】

NMOS トランジスタに関しては、リセスソース・ドレイン構造が採用されておらず、従来の半導体装置と同様に、通常のソース・ドレイン構造が採用されている。

【 0 0 6 6 】

リセスソース・ドレイン構造を採用しない場合は、リセスソース・ドレイン構造を採用した場合と比較すると、ソース・ドレイン領域 1 2 の寄生抵抗が小さくなる。凹部 1 4 が形成されない分だけ、不純物導入領域 1 0₂、1 1₂ の面積の縮小を回避できるからである。一般的に、高速動作が要求されるロジック回路等においては、PMOS トランジスタよりも NMOS トランジスタが多用されている。NMOS トランジスタにリセスソース・ドレイン構造を採用しないことにより、ソース・ドレイン領域 1 2 の寄生抵抗の増加に起因して動作速度が低下することを、回避することができる。

【 0 0 6 7 】

なお、図 1 9、2 8 では、NMOS トランジスタ及び PMOS トランジスタのうちのいずれか一方のみにリセスソース・ドレイン構造が採用されている場合を示したが、NMOS トランジスタ及び PMOS トランジスタの双方にリセスソース・ドレイン構造が採用されていても構わない。

【 0 0 6 8 】

実施の形態 5.

図 2 9 は、本発明の実施の形態 5 に係る半導体装置の構造を示す断面図である。SOI 基板 4 内には、比較的低い電源電圧（例えば 1. 0 V）で動作する MOS トランジスタ（以下「低電圧動作トランジスタ」と称する）と、比較的高い電源電圧（例えば 3. 3 V）で動作する MOS トランジスタ（以下「高電圧動作トランジスタ」と称する）が形成されている。低電圧動作トランジスタは、例えば CPU コアを構成するトランジスタである。高電圧動作トランジスタは、例えば入出力回路を構成するトランジスタである。

【 0 0 6 9 】

低電圧動作トランジスタは、ゲート絶縁膜 6、ゲート電極 7、コバルトシリサイド層 8、1 3、サイドウォール 9、及びソース・ドレイン領域 1 2 を備えている。ソース・ドレイン領域 1 2 は、不純物導入領域 1 0、1 1 を有している。低電圧動作トランジスタに関しては、リセスソース・ドレイン構造が採用されている。

【 0 0 7 0 】

リセスソース・ドレイン構造を採用することにより、低電圧動作トランジスタに関して

、基板フローティング効果の発生や分離耐圧の低下を抑制することができる。

【0071】

高電圧動作トランジスタは、ゲート絶縁膜 30、ゲート電極 31、コバルトシリサイド層 32、37、サイドウォール 33、及びソース・ドレイン領域 36を備えている。ソース・ドレイン領域 36は、不純物導入領域 34、35を有している。高電圧動作トランジスタに関しては、リセスソース・ドレイン構造が採用されていない。

【0072】

一例として、低電圧動作トランジスタのゲート長が80 nm程度であるのに対して、高電圧動作トランジスタのゲート長は0.4 μ m程度である。即ち、高電圧動作トランジスタは、低電圧動作トランジスタよりもゲート長が長い。従って、高電圧動作トランジスタに関しては、素子分離絶縁膜 5の上面とシリコン層 3の上面との段差が大きくなるように素子分離絶縁膜 5の膜厚を厚くすることによって、分離耐圧の低下を抑制することができる。上記段差に起因してゲート電極 31の寸法に変動が生じたとしても、そもそもゲート長が長い場合、寸法の変動が動作速度の低下や特性のばらつきに及ぼす影響が少ないからである。

【0073】

また、SOI基板 4の上面のうち入出力回路が占める面積は、CPUコアが占める面積よりも十分に小さい。従って、入出力回路に関してデザインルールを大きく設定したとしても、ICチップの大型化に対する影響は比較的少ない。デザインルールを大きく設定すると、素子分離絶縁膜 5の分離長も長くなるため、リセスソース・ドレイン構造を採用するまでもなく、所望の分離耐圧を確保できる。

【0074】

以上のように、素子分離絶縁膜 5の膜厚を厚くしたり、デザインルールを大きく設定することができる場合は、高電圧動作トランジスタに関してリセスソース・ドレイン構造を採用することなく、低電圧動作トランジスタに関してのみ採用することが可能である。上記の通り、リセスソース・ドレイン構造を採用しないことにより、寄生抵抗の増加に起因する動作速度の低下を回避することができる。

【0075】

図 30は、本実施の形態 5の変形例に係る半導体装置の構造を示す断面図である。高電圧動作トランジスタに関しては、凹部 38の底面内にソース・ドレイン領域 36が形成された、リセスソース・ドレイン構造が採用されている。

【0076】

入出力回路に関して、素子分離絶縁膜 5の膜厚を厚くしたり、デザインルールを大きく設定することができない場合もある。このような場合、高電圧動作トランジスタについては、低電圧動作トランジスタよりも高い分離耐圧が要求される。高電圧動作トランジスタには、低電圧動作トランジスタよりも高い電源電圧が印加されるからである。従って、このような場合は高電圧動作トランジスタにリセスソース・ドレイン構造を採用することによって、分離耐圧を高めることができる。

【0077】

一方、低電圧動作トランジスタに関しては、リセスソース・ドレイン構造が採用されず、通常のソース・ドレイン構造が採用されている。

【0078】

上記の通り、リセスソース・ドレイン構造を採用しない場合は、凹部 14が形成されない分だけソース・ドレイン領域 12の寄生抵抗が小さくなる。従って、高速動作が要求されるCPUコアにおいては、低電圧動作トランジスタにリセスソース・ドレイン構造を採用しないことにより、寄生抵抗の増加に起因する動作速度の低下を回避することができる。

【0079】

なお、図 29、30では、低電圧動作トランジスタ及び高電圧動作トランジスタのうちのいずれか一方のみにリセスソース・ドレイン構造が採用されている場合を示したが、低

電圧動作トランジスタ及び高電圧動作トランジスタの双方にリセスソース・ドレイン構造が採用されていても構わない。

【0080】

低電圧動作トランジスタ及び高電圧動作トランジスタのうちのいずれか一方のみにリセスソース・ドレイン構造を採用したい場合には、上記実施の形態4と同様に、フォトレジスト24、25を用いて、ソース・ドレイン領域の構造を作り分ければよい。

【0081】

また、NMOS構造の低電圧トランジスタとPMOS構造の低電圧トランジスタとが混在している場合に、上記実施の形態4と同様に、NMOS及びPMOSの一方のトランジスタのみにリセスソース・ドレイン構造を採用しても良い。NMOS構造の高電圧トランジスタとPMOS構造の高電圧動作トランジスタとが混在している場合についても同様である。

【0082】

実施の形態6.

図31は、本発明の実施の形態6に係る半導体装置の製造方法の一工程を示す断面図である。上記実施の形態1等では、ポリシリコン膜19上に形成されたシリコン酸化膜20が除去された後に、凹部14を形成するためのエッチングが行われた。そのため、図7に示したように、エッチングによってポリシリコン膜19が薄膜化された結果として、ゲート電極7が形成された。

【0083】

これに対し本実施の形態6では、図31に示すように、ポリシリコン膜19上に、シリコン酸化膜20ではなくシリコン窒化膜40を形成する。すると、図6に示した工程でシリコン窒化膜40がエッチングされないため、凹部14を形成するためのエッチング工程において、シリコン窒化膜40がエッチングマスクとして機能することにより、ポリシリコン膜19はエッチングされない。従って、ポリシリコン膜19がそのままゲート電極となる。

【0084】

不純物導入領域11を形成するためのイオン注入工程（図8）において、シリコン窒化膜40を介してポリシリコン膜19内にも不純物がイオン注入される。

【0085】

このように本実施の形態6に係る半導体装置及びその製造方法によると、上記実施の形態1と比較してゲート電極の膜厚が厚くなる。従って、不純物導入領域11を形成するためのイオン注入工程において、ポリシリコン膜19内に注入された不純物がポリシリコン膜19を突き抜けて、ゲート絶縁膜6やチャネル形成領域にまで到達することを抑制できる。その結果、不純物の突き抜けに起因するしきい値電圧の変動を、抑制することができる。

【0086】

また、ポリシリコン膜19の膜厚がそのままゲート電極の膜厚となるため、上記実施の形態1等と比較して、ゲート電極の膜厚制御が容易となる。

【0087】

本実施の形態6に係るリセスソース・ドレイン構造は、他の全ての実施の形態にも適用することができる。

【0088】

実施の形態7.

図32、33は、本発明の実施の形態7に係る半導体装置の製造方法を工程順に示す断面図である。図32を参照して、図31に示す構造を得た後、CVD法によって、シリコン窒化膜又はシリコン酸化膜を全面に形成する。次に、そのシリコン窒化膜又はシリコン酸化膜をエッチバックすることにより、サイドウォール41、42を形成する。サイドウォール41は、サイドウォール9の側面に接して、凹部14の底面上に形成されている。サイドウォール42は、素子分離絶縁膜5の側面に接して、凹部14の底面上に形成され

ている。

【0089】

図33を参照して、次に、イオン注入法によって不純物導入領域11を形成する。次に、ソース・ドレイン領域12の上面をシリサイド化することにより、コバルトシリサイド層43を形成する。コバルトシリサイド層43は、サイドウォール41、42から露出している部分の凹部14の底面上に形成されている。

【0090】

なお、以上の説明では、上記実施の形態6を基礎として本実施の形態7に係る半導体装置の製造方法について述べたが、本実施の形態7に係る発明は、他の全ての実施の形態に適用することができる。

【0091】

また、サイドウォール41を形成した後に不純物導入領域11を形成したが、これとは逆に、不純物導入領域11を形成した後にサイドウォール41を形成してもよい。

【0092】

さらに、素子分離絶縁膜5の上面と凹部14の底面との段差が小さい場合には、サイドウォール42が形成されないこともある。

【0093】

また、本実施の形態7に係る半導体装置の製造方法が、シリサイドプロテクション膜の形成工程（シリサイドプロテクション工程）を備える場合には、シリサイドプロテクション膜の一部としてサイドウォール41、42を形成してもよい。シリサイドプロテクション工程は、シリサイド化されないことによって高抵抗のポリシリコン膜を形成する工程である。シリサイドプロテクション工程においてサイドウォール41、42を併せて形成することにより、製造工程数の増加を防止することができる。

【0094】

このように本実施の形態7に係る半導体装置及びその製造方法によると、サイドウォール41が形成されることに起因して、コバルトシリサイド層43とチャネル形成領域との間の距離が長くなる。その結果、コバルトシリサイド層43とチャネル形成領域との間に流れる接合リーク電流を低減することができる。

【0095】

また、サイドウォール42が形成されることに起因して、コバルトシリサイド層43と、素子分離絶縁膜5の下方に位置する部分のシリコン層3との間の距離が長くなる。その結果、コバルトシリサイド層43と、この部分のシリコン層3との間に流れる接合リーク電流を低減することができる。

【0096】

実施の形態8.

図34、35は、本発明の実施の形態8に係る半導体装置の製造方法を工程順に示す断面図である。図34を参照して、図8に示す構造を得た後、選択的エピタキシャル成長法によって、ゲート電極7上及びソース・ドレイン領域12上に、シリコン層50、51をそれぞれ形成する。次に、イオン注入法によって、シリコン層50、51内にn型の不純物を高濃度で注入する。

【0097】

図35を参照して、次に、シリコン層50、51の各上面をシリサイド化することにより、コバルトシリサイド層52、53を形成する。シリコン層50、51内にn型の不純物が注入されているため、シリコン層50、51とコバルトシリサイド層52、53との接触抵抗は低減されている。

【0098】

このように本実施の形態8に係る半導体装置及びその製造方法によると、コバルトシリサイド層53は、ソース・ドレイン領域12上に形成されたシリコン層51上に形成されている。従って、コバルトシリサイド層53とチャネル形成領域との間の距離が長くなるため、両者間に流れる接合リーク電流を低減することができる。

【0099】

実施の形態 9.

図 36～38 は、本発明の実施の形態 9 に係る半導体装置の製造方法を工程順に示す断面図である。図 36 を参照して、図 4 に示す構造を得た後、CVD 法によって、シリコン窒化膜 60 を全面的に形成する。次に、写真製版法によって、素子分離絶縁膜 5 の上方に位置する部分のシリコン窒化膜 60 上に、フォトレジスト 61 を形成する。

【0100】

図 37 を参照して、次に、フォトレジスト 61 をエッチングマスクに用いて、異方性ドライエッチング法によってシリコン窒化膜 60 をエッチバックする。これにより、サイドウォール 9 が形成されるとともに、素子分離絶縁膜 5 上にシリコン窒化膜 62 が形成される。次に、フォトレジスト 61 を除去する。

【0101】

図 38 を参照して、次に、シリコン酸化膜 20 と、サイドウォール 9 及びポリシリコン膜 19 から露出している部分のシリコン酸化膜 18 とを除去する。次に、ゲート絶縁膜 6 及び素子分離絶縁膜 5 から露出している部分のシリコン層 3 をエッチングすることにより、凹部 14 を形成する。また、ポリシリコン膜 19 の上部を併せてエッチングすることにより、ゲート電極 7 を形成する。その後は、図 8 に示した工程以降の工程が順に実行される。

【0102】

このように本実施の形態 9 に係る半導体装置及びその製造方法によると、素子分離絶縁膜 5 上にシリコン窒化膜 62 が形成された構造と、リセスソース・ドレイン構造とを組み合わせることにより、分離耐圧の低下を効果的に抑制することが可能となる。即ち、サイドウォール 9 を形成する工程において、シリコン窒化膜 62 が素子分離絶縁膜 5 上に併せて形成されることにより、実質的に素子分離絶縁膜 5 の膜厚が厚くなる。そのため、不純物導入領域 11 を形成するためのイオン注入工程において、n 型の不純物が素子分離絶縁膜 5 を突き抜けてシリコン層 3 内に注入されることを、さらに抑制することができる。

【0103】

なお、図 37 には、全体が素子分離絶縁膜 5 上に形成された、幅狭のシリコン窒化膜 62 を示したが、端部がシリコン酸化膜 18 上に形成された、幅広のシリコン窒化膜 62 を形成しても良い。この場合、不純物導入領域 11 の面積が小さくなるため、接合容量を低減することができる。

【0104】

実施の形態 10.

図 39 は、本発明の実施の形態 10 に係る半導体装置の構造を示す断面図である。図 1 に示した上記実施の形態 1 に係る半導体装置を基礎として、n 型の不純物導入領域 70 が、シリコン層 3 の上面内にさらに形成されている。すなわち、ソース・ドレイン領域 12 は、いずれも n 型の不純物導入領域 10, 11, 70 を有している。

【0105】

図 40, 41 は、本実施の形態 10 に係る半導体装置の第 1 の製造方法を工程順に示す断面図である。まず、上記実施の形態 1 と同様の方法により、図 6 に示した構造を得る。

【0106】

図 40 を参照して、次に、イオン注入法によって、エネルギーが $1 \sim 30 \text{ KeV}$ 程度、濃度が $1 \times 10^{15} / \text{cm}^2$ 程度の条件で、ヒ素等の n 型の不純物をシリコン層 3 の上面内に注入することにより、不純物導入領域 70 を形成する。

【0107】

図 41 を参照して、次に、シリコン及びポリシリコンはエッチングされやすく、シリコン酸化膜及びシリコン窒化膜はエッチングされにくい条件で、異方性ドライエッチングを行う。これにより、ゲート絶縁膜 6 及び素子分離絶縁膜 5 から露出している部分のシリコン層 3 が膜厚 D1 だけエッチングされて、凹部 14 が形成される。また、ポリシリコン膜 19 の上部が併せてエッチングされて、ゲート電極 7 が形成される。その後、図 8 に示し

た工程以降の工程が実行されて、半導体装置が完成する。

【0108】

図42は、図41に示した構造のうち、凹部14が形成されている付近の構造を拡大して示す断面図である。シリコン層3の上面から不純物導入領域70の底面までの深さD7は、シリコン層3の上面から不純物導入領域10の底面までの深さD6よりも深い。また、シリコン層3の上面から凹部14の底面までの深さ（膜厚D1）は、深さD7よりも浅い。図41に示した工程では、膜厚D1が深さD7未満となるように、エッチングが制御される。なお、図42には、膜厚D1が深さD6未満である構造を示したが、本実施の形態10において、膜厚D1は深さD6以上であってもよい。

【0109】

図43、44は、本実施の形態10に係る半導体装置の第2の製造方法を工程順に示す断面図である。まず、上記実施の形態1と同様の方法により、図7に示した構造を得る。

【0110】

図43を参照して、次に、イオン注入法によって、エネルギーが1～30KeV程度、濃度が $1 \times 10^{15} / \text{cm}^2$ 程度の条件で、ヒ素等のn型の不純物71をシリコン層3内に注入することにより、不純物導入領域70を形成する。不純物71の注入方向は、SOI基板4の上面の法線方向に対して、30°程度傾斜している。

【0111】

図44を参照して、次に、図8に示した工程と同様に、n型の不純物をシリコン層3の上面内にイオン注入することにより、不純物導入領域11を形成する。その後、ゲート電極7及びソース・ドレイン領域12の各上面をシリサイド化することにより、半導体装置が完成する。

【0112】

このように本実施の形態10に係る半導体装置及びその製造方法によると、凹部14の形成に起因してソース・ドレイン領域12の寄生抵抗が増加することを、不純物導入領域70を追加することによってさらに抑制することができる。

【0113】

また、図41に示した工程では膜厚D1が深さD6ではなく深さD7未満となるようにエッチングが制御されるため、上記実施の形態1よりも凹部14を深く形成することができる。そのため、不純物導入領域11の形成工程（図8、44）におけるイオン注入の注入エネルギーを、上記実施の形態1よりも低く設定することができる。従って、素子分離絶縁膜5の底面とBOX層2の上面との間に位置する部分のp型のシリコン層3内にn型の不純物が注入されることを、上記実施の形態1よりも確実に回避でき、その結果、分離耐圧が低下することをより確実に回避することができる。

【0114】

さらに、不純物導入領域70を形成するためのイオン注入によって、n型の不純物はゲート電極7内にも併せて注入される。その結果、ゲート空乏化をさらに抑制できるため、電流駆動能力をさらに向上することができる。

【0115】

なお、不純物導入領域70を追加するのではなく、上記実施の形態1において、シリコン層3の上面から不純物導入領域10の底面までの深さD6をより大きく設定することによっても、ソース・ドレイン領域12の寄生抵抗の増加を抑制することは可能である。しかしながら、深さD6の値はショートチャネル効果に支配的に影響し、深さD6が大きいほどショートチャネル効果の影響が大きくなる。従って、上記実施の形態1において、深さD6をより大きく設定することは望ましくない。これに対して、本実施の形態10に係る半導体装置及びその製造方法によると、深さD6をより大きく設定する必要がないため、ショートチャネル効果の影響が大きくなることを回避できる。

【0116】

以上では、本実施の形態10に係る発明を上記実施の形態1に適用した例について述べたが、本実施の形態10に係る発明は、他の全ての実施の形態にも適用することが可能で

ある。

【0117】

実施の形態 11.

上記実施の形態 10 では、NMOS トランジスタのみを形成する例について述べたが、本実施の形態 11 では、上記実施の形態 10 に係る発明を CMOS トランジスタの形成に適用する場合の製造方法について説明する。

【0118】

図 45～51 は、本発明の実施の形態 11 に係る半導体装置の第 1 の製造方法を工程順に示す断面図である。まず、上記実施の形態 4 と同様の方法により、図 24 に示した構造を得る。

【0119】

図 45 を参照して、次に、フォトレジスト 24 を注入マスクに用いて、イオン注入法によって、n 型の不純物をシリコン層 3₁ の上面内に注入することにより、不純物導入領域 70₁ を形成する。

【0120】

図 46 を参照して、次に、フォトレジスト 24 をエッチングマスクに用いて、シリコン及びポリシリコンはエッチングされやすく、シリコン酸化膜及びシリコン窒化膜はエッチングされにくい条件で、異方性ドライエッチングを行う。これにより、フォトレジスト 24、ゲート絶縁膜 6₁、及び素子分離絶縁膜 5、23 から露出している部分のシリコン層 3₁ がエッチングされて、凹部 14₁ が形成される。また、ポリシリコン膜 19₁ の上部が併せてエッチングされて、ゲート電極 7₁ が形成される。

【0121】

図 47 を参照して、次に、フォトレジスト 24 を注入マスクに用いて、イオン注入法によって、n 型の不純物をシリコン層 3₁ の上面内に注入することにより、不純物導入領域 11₁ を形成する。n 型の不純物は、ゲート電極 7₁ 内にも注入される。

【0122】

図 48 を参照して、次に、フォトレジスト 24 を除去する。次に、写真製版法によって、NMOS トランジスタの形成予定領域を覆ってフォトレジスト 25 を形成する。

【0123】

図 49 を参照して、次に、フォトレジスト 25 を注入マスクに用いて、イオン注入法によって、p 型の不純物をシリコン層 3₂ の上面内に注入することにより、不純物導入領域 70₂ を形成する。

【0124】

図 50 を参照して、次に、フォトレジスト 25 をエッチングマスクに用いて、シリコン及びポリシリコンはエッチングされやすく、シリコン酸化膜及びシリコン窒化膜はエッチングされにくい条件で、異方性ドライエッチングを行う。これにより、フォトレジスト 25、ゲート絶縁膜 6₂、及び素子分離絶縁膜 5、23 から露出している部分のシリコン層 3₂ がエッチングされて、凹部 14₂ が形成される。また、ポリシリコン膜 19₂ の上部が併せてエッチングされて、ゲート電極 7₂ が形成される。

【0125】

図 51 を参照して、次に、フォトレジスト 25 を注入マスクに用いて、イオン注入法によって、p 型の不純物をシリコン層 3₂ の上面内に注入することにより、不純物導入領域 11₂ を形成する。p 型の不純物は、ゲート電極 7₂ 内にも注入される。

【0126】

その後、フォトレジスト 25 を除去した後、ゲート電極 7₁、7₂ 及びソース・ドレイン領域 12₁、12₂ の各上面をシリサイド化することにより、半導体装置が完成する。

【0127】

図 52～56 は、本実施の形態 11 に係る半導体装置の第 2 の製造方法を工程順に示す断面図である。まず、上記実施の形態 4 と同様の方法により、図 23 に示した構造を得る。

【0128】

図52を参照して、次に、写真製版法によって、PMOSトランジスタの形成予定領域を覆ってフォトレジスト24₁を形成する。次に、フォトレジスト24₁を注入マスクに用いて、イオン注入法によって、n型の不純物をシリコン層3₁の上面内に注入することにより、不純物導入領域70₁を形成する。

【0129】

図53を参照して、次に、フォトレジスト24₁を除去する。次に、写真製版法によって、NMOSトランジスタの形成予定領域を覆ってフォトレジスト25₁を形成する。次に、フォトレジスト25₁を注入マスクに用いて、イオン注入法によって、p型の不純物をシリコン層3₂の上面内に注入することにより、不純物導入領域70₂を形成する。

【0130】

図54を参照して、次に、フォトレジスト25₁を除去する。次に、シリコン及びポリシリコンはエッチングされやすく、シリコン酸化膜及びシリコン窒化膜はエッチングされにくい条件で、異方性ドライエッチングを行う。これにより、ゲート絶縁膜6₁、6₂及び素子分離絶縁膜5、23から露出している部分のシリコン層3₁、3₂がエッチングされて、凹部14₁、14₂が形成される。また、ポリシリコン膜19₁、19₂の上部が併せてエッチングされて、ゲート電極7₁、7₂が形成される。

【0131】

図55を参照して、次に、写真製版法によって、PMOSトランジスタの形成予定領域を覆ってフォトレジスト24₂を形成する。次に、フォトレジスト24₂を注入マスクに用いて、イオン注入法によって、n型の不純物をシリコン層3₁の上面内に注入することにより、不純物導入領域11₁を形成する。

【0132】

図56を参照して、次に、フォトレジスト24₂を除去する。次に、写真製版法によって、NMOSトランジスタの形成予定領域を覆ってフォトレジスト25₂を形成する。次に、フォトレジスト25₂を注入マスクに用いて、イオン注入法によって、p型の不純物をシリコン層3₂の上面内に注入することにより、不純物導入領域11₂を形成する。

【0133】

その後、フォトレジスト25₂を除去した後、ゲート電極7₁、7₂及びソース・ドレイン領域12₁、12₂の各上面をシリサイド化することにより、半導体装置が完成する。

【0134】

本実施の形態11に係る半導体装置の第1の製造方法によると、図45～51に示した工程内では写真製版工程がトータル2回で足りる。そのため、図52～56に示した工程内で写真製版工程がトータル4回必要である上記第2の製造方法と比較して、製造工程数を削減できるという効果が得られる。

【0135】

一方、本実施の形態11に係る半導体装置の第2の製造方法によると、図54に示した1回のエッチング工程によって、凹部14₁、14₂が併せて形成される。そのため、凹部14₁、14₂が別個のエッチング工程によって形成される上記第1の製造方法と比較すると、エッチングに伴ってエッチングチャンバ内に発生するゴミを低減できる。その結果、歩留まりを向上できるという効果が得られる。また、エッチング及びイオン注入の双方の影響を受けるフォトレジスト24、25と比較すると、イオン注入の影響のみを受けるフォトレジスト24₂、25₂はアッシングによって除去しやすいという効果も得られる。

【0136】

実施の形態12.

図57は、本発明の実施の形態12に係る半導体装置の製造方法の一工程を示す断面図である。まず、上記実施の形態1と同様の方法により、図6に示した構造を得る。

【0137】

次に、イオン注入法によって、凹部14の形成予定領域におけるシリコン層3内に、シリコンイオン80を注入する。注入濃度は、 $10^{15}/\text{cm}^2$ 程度のオーダーである。但し

、シリコンイオン 80 の代わりに、アルゴンイオン又はゲルマニウムイオン等を注入してもよい。これにより、凹部 14 の形成予定領域におけるシリコン層 3 がアモルファス化されて、アモルファスシリコン領域 81 が形成される。イオン注入法によってアモルファスシリコン領域 81 が形成されるため、シリコン層 3 の上面からアモルファスシリコン領域 81 の底面までの深さは、ウェハ面内において均一となる。その後は、図 7 に示した工程以降の工程が順に実行される。

【0138】

このように本実施の形態 12 に係る半導体装置の製造方法によると、凹部 14 の形成予定領域におけるシリコン層 3 をアモルファス化した後に、アモルファスシリコン領域 81 をエッチングすることによって、凹部 14 が形成される。アモルファスシリコン領域 81 は、シリコン層 3 の他の部分（即ち単結晶シリコン領域）に比べてエッチングレートが十分に高い。従って、アモルファスシリコン領域 81 と単結晶シリコン領域とのエッチングレートの差に起因して、ウェハ面内において凹部 14 の深さを均一にすることができる。

【0139】

以上では、本実施の形態 12 に係る発明を上記実施の形態 1 に適用した例について述べたが、本実施の形態 12 に係る発明は、他の全ての実施の形態にも適用することが可能である。

【図面の簡単な説明】

【0140】

【図 1】 本発明の実施の形態 1 に係る半導体装置の構造を示す断面図である。

【図 2】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 9】 本発明の実施の形態 2 に係る半導体装置の構造を示す断面図である。

【図 10】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 11】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 12】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 13】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 14】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 15】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 16】 本発明の実施の形態 2 の変形例に係る半導体装置の製造方法の一工程を示す断面図である。

【図 17】 本発明の実施の形態 3 に関して、図 7 に示した構造のうち、凹部が形成さ

れている付近の構造を拡大して示す断面図である。

【図 1 8】本発明の実施の形態 3 に関して、図 7 に示した構造のうち、凹部が形成されている付近の構造を拡大して示す断面図である。

【図 1 9】本発明の実施の形態 4 に係る半導体装置の構造を示す断面図である。

【図 2 0】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 1】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 2】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 3】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 4】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 5】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 6】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 7】本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 8】本発明の実施の形態 4 の変形例に係る半導体装置の構造を示す断面図である。

【図 2 9】本発明の実施の形態 5 に係る半導体装置の構造を示す断面図である。

【図 3 0】本発明の実施の形態 5 の変形例に係る半導体装置の構造を示す断面図である。

【図 3 1】本発明の実施の形態 6 に係る半導体装置の製造方法の一工程を示す断面図である。

【図 3 2】本発明の実施の形態 7 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 3】本発明の実施の形態 7 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 4】本発明の実施の形態 8 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 5】本発明の実施の形態 8 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 6】本発明の実施の形態 9 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 7】本発明の実施の形態 9 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 8】本発明の実施の形態 9 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 9】本発明の実施の形態 1 0 に係る半導体装置の構造を示す断面図である。

【図 4 0】本発明の実施の形態 1 0 に係る半導体装置の第 1 の製造方法を工程順に示す断面図である。

【図 4 1】本発明の実施の形態 1 0 に係る半導体装置の第 1 の製造方法を工程順に示す断面図である。

【図 4 2】本発明の実施の形態 1 0 に関して、図 4 1 に示した構造のうち、凹部が形成されている付近の構造を拡大して示す断面図である。

【図 4 3】本発明の実施の形態 1 0 に係る半導体装置の第 2 の製造方法を工程順に示す断面図である。

【図 4 4】本発明の実施の形態 1 0 に係る半導体装置の第 2 の製造方法を工程順に示す断面図である。

【図 4 5】本発明の実施の形態 1 1 に係る半導体装置の第 1 の製造方法を工程順に示す断面図である。

【図 4 6】本発明の実施の形態 1 1 に係る半導体装置の第 1 の製造方法を工程順に示す断面図である。

【図 4 7】本発明の実施の形態 1 1 に係る半導体装置の第 1 の製造方法を工程順に示す断面図である。

【図 4 8】本発明の実施の形態 1 1 に係る半導体装置の第 1 の製造方法を工程順に示す断面図である。

【図 4 9】本発明の実施の形態 1 1 に係る半導体装置の第 1 の製造方法を工程順に示す断面図である。

【図 5 0】本発明の実施の形態 1 1 に係る半導体装置の第 1 の製造方法を工程順に示す断面図である。

【図 5 1】本発明の実施の形態 1 1 に係る半導体装置の第 1 の製造方法を工程順に示す断面図である。

【図 5 2】本発明の実施の形態 1 1 に係る半導体装置の第 2 の製造方法を工程順に示す断面図である。

【図 5 3】本発明の実施の形態 1 1 に係る半導体装置の第 2 の製造方法を工程順に示す断面図である。

【図 5 4】本発明の実施の形態 1 1 に係る半導体装置の第 2 の製造方法を工程順に示す断面図である。

【図 5 5】本発明の実施の形態 1 1 に係る半導体装置の第 2 の製造方法を工程順に示す断面図である。

【図 5 6】本発明の実施の形態 1 1 に係る半導体装置の第 2 の製造方法を工程順に示す断面図である。

【図 5 7】本発明の実施の形態 1 2 に係る半導体装置の製造方法の一工程を示す断面図である。

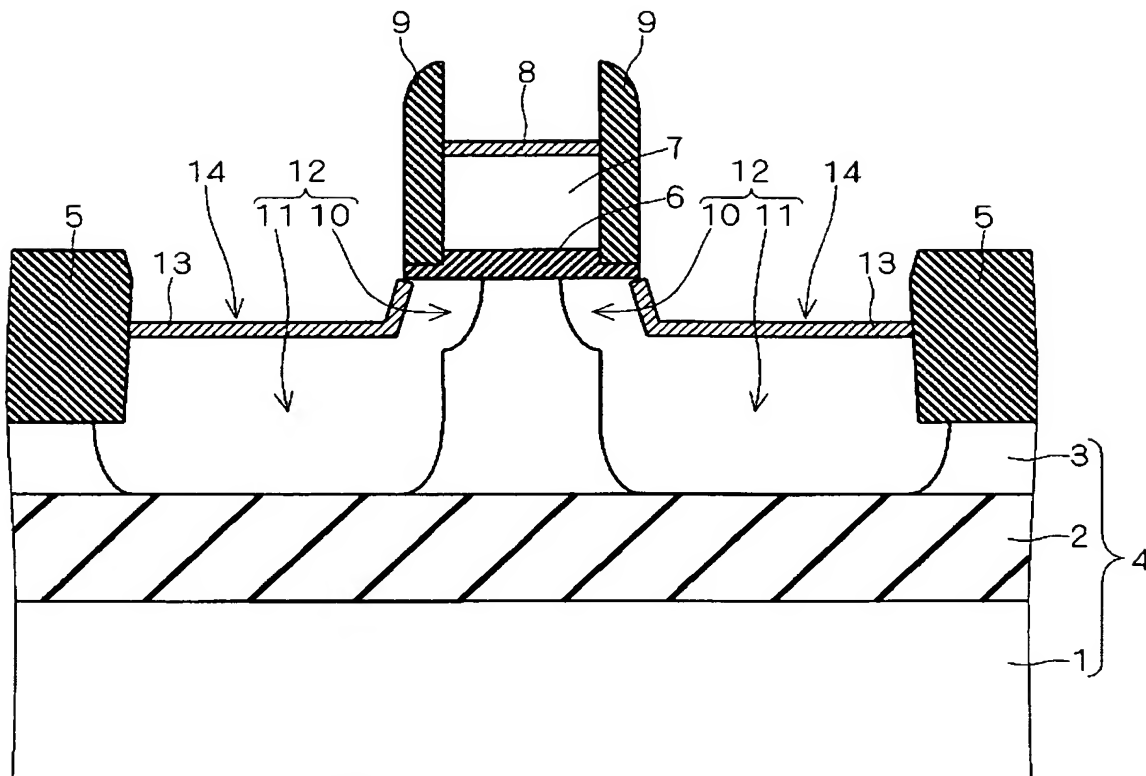
【符号の説明】

【0 1 4 1】

1 シリコン基板、2 BOX層、3 シリコン層、4 SOI基板、5 素子分離絶縁膜、6 ゲート絶縁膜、7 ゲート電極、8, 13, 43, 52, 53 コバルトシリサイド層、9, 41, 42 サイドウォール、10, 11, 70 不純物導入領域、12 ソース・ドレイン領域、14, 21, 22 凹部、15, 17, 18, 20 シリコン酸化膜、16, 19 ポリシリコン膜、40, 60, 62 シリコン窒化膜、50, 51 シリコン層。

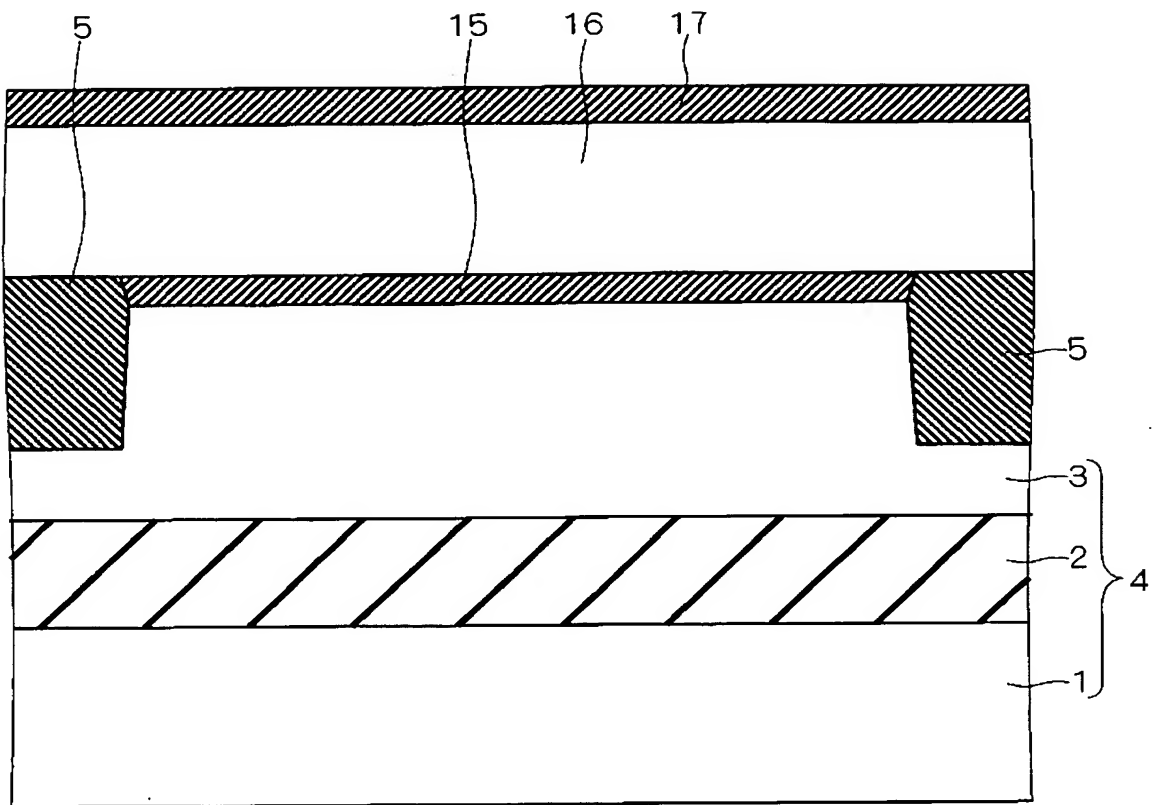
【書類名】 図面

【図 1】



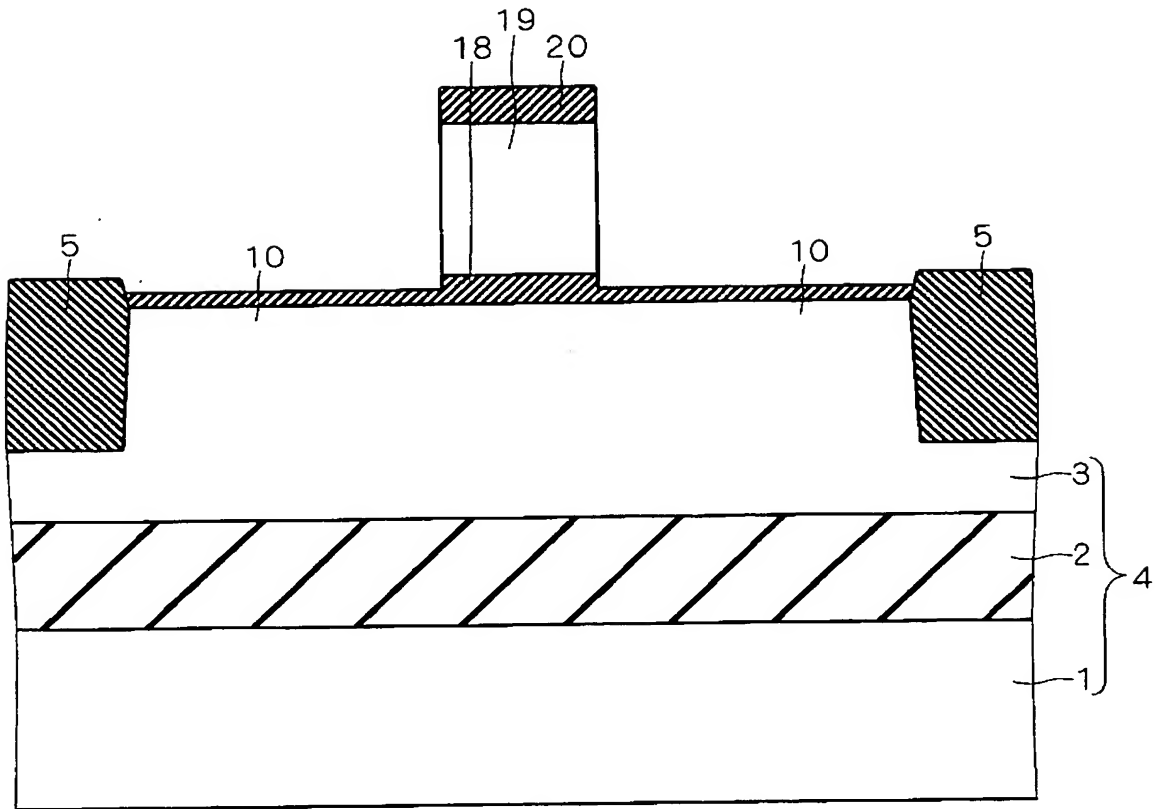
- 1 : シリコン基板
2 : B O X 層
3 : シリコン層
4 : S O I 基板
5 : 素子分離絶縁膜
6 : ゲート絶縁膜
7 : ゲート電極
8 , 13 : コバルトシリサイド層
9 : サイドウォール
10 , 11 : 不純物導入領域
12 : ソース・ドレイン領域
14 : 凹部

【図 2】



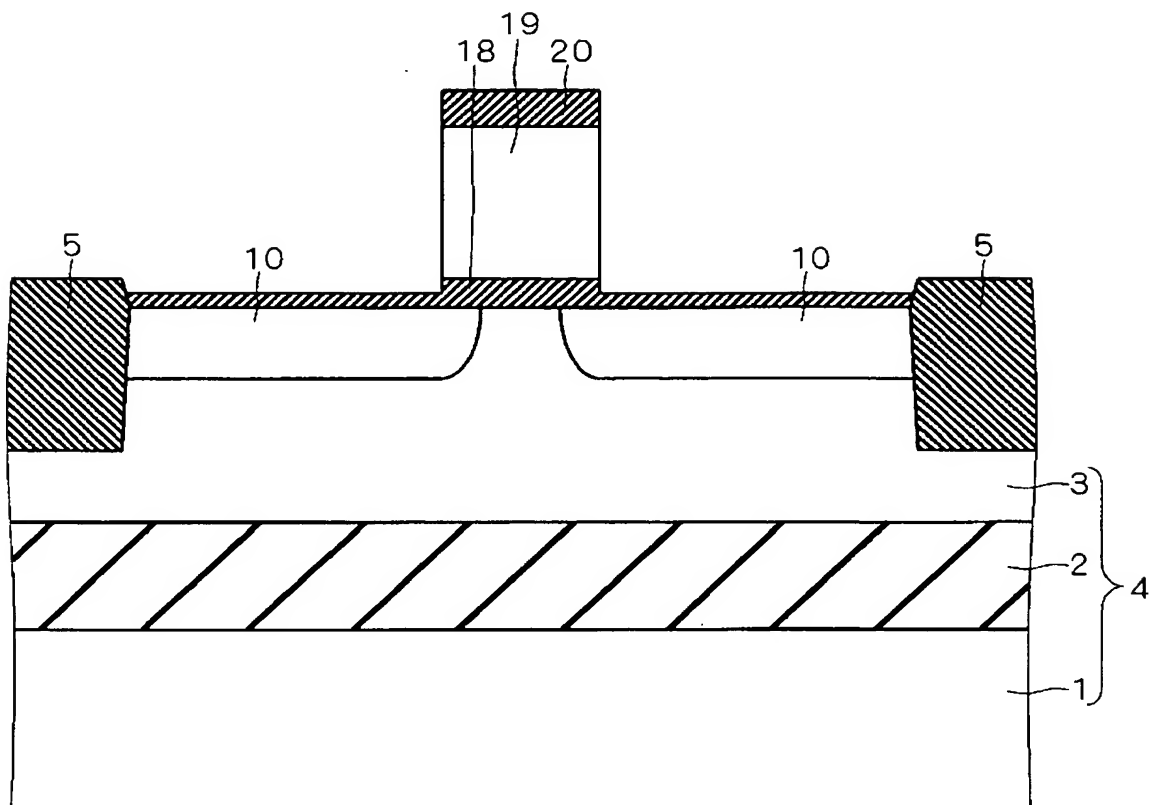
15、17：シリコン酸化膜
16：ポリシリコン膜

【図 3】

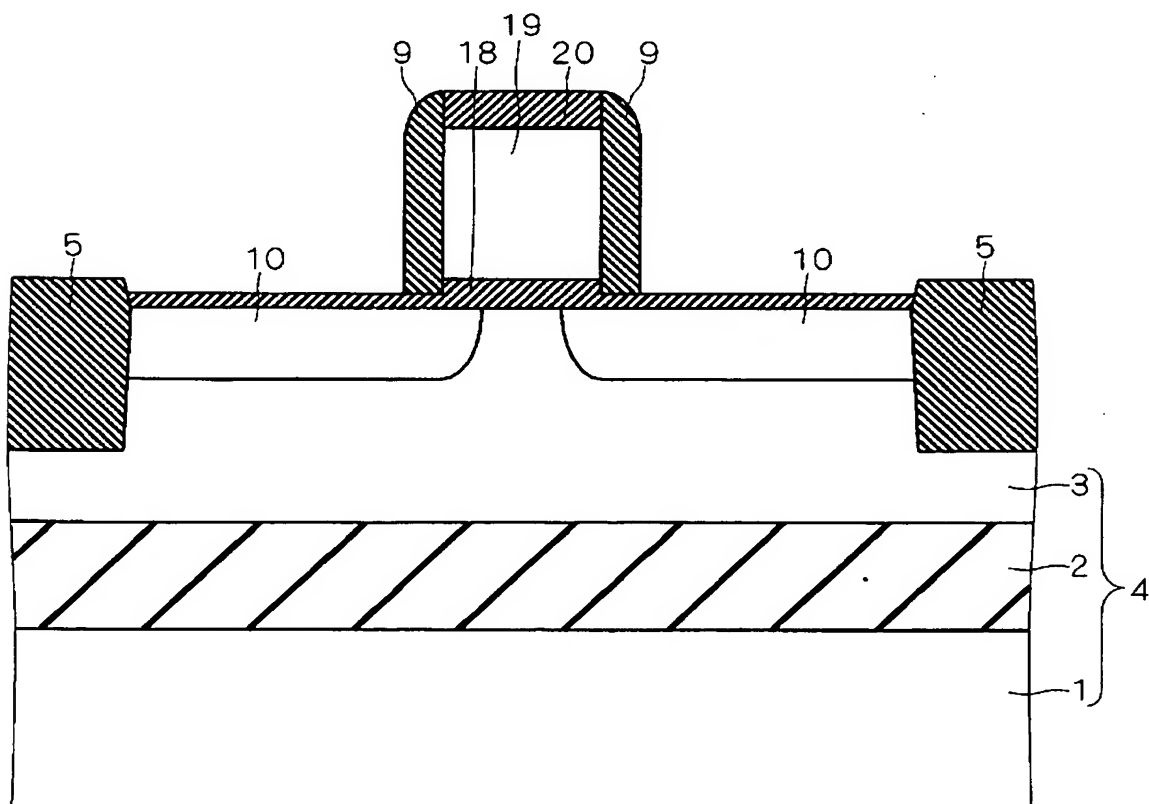


18, 20 : シリコン酸化膜
19 : ポリシリコン膜

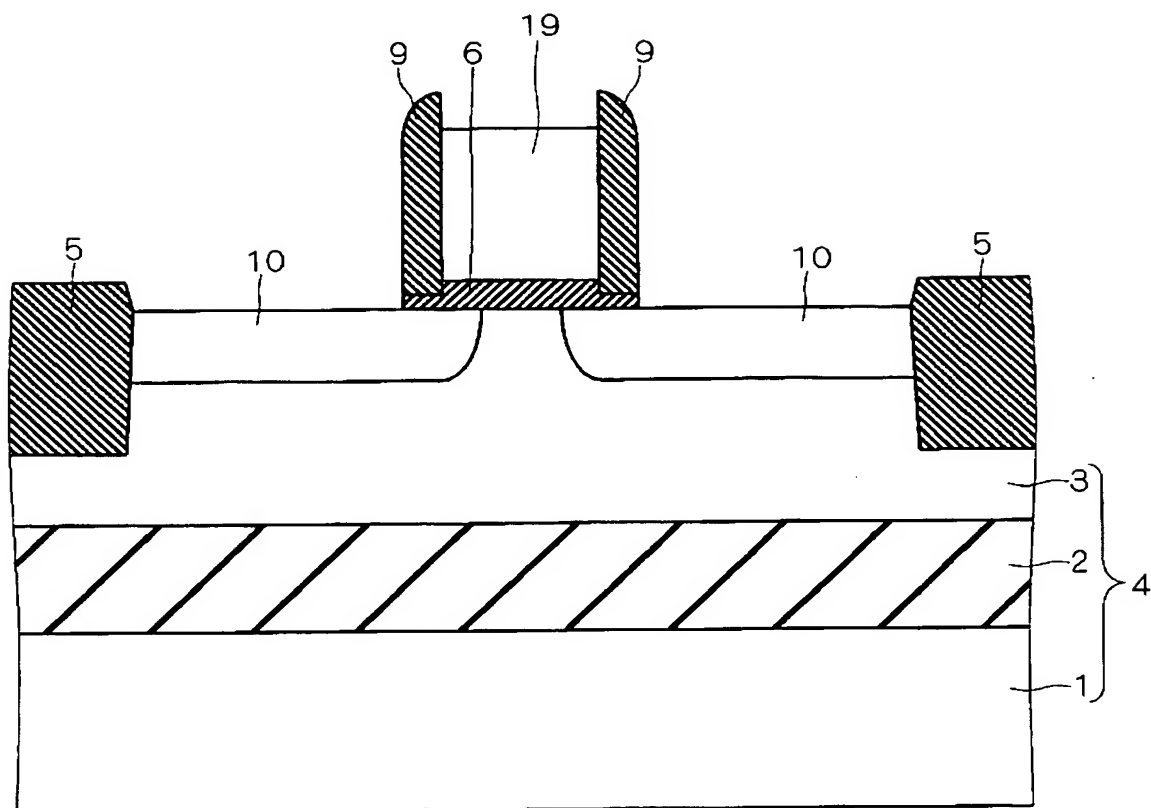
【図 4】



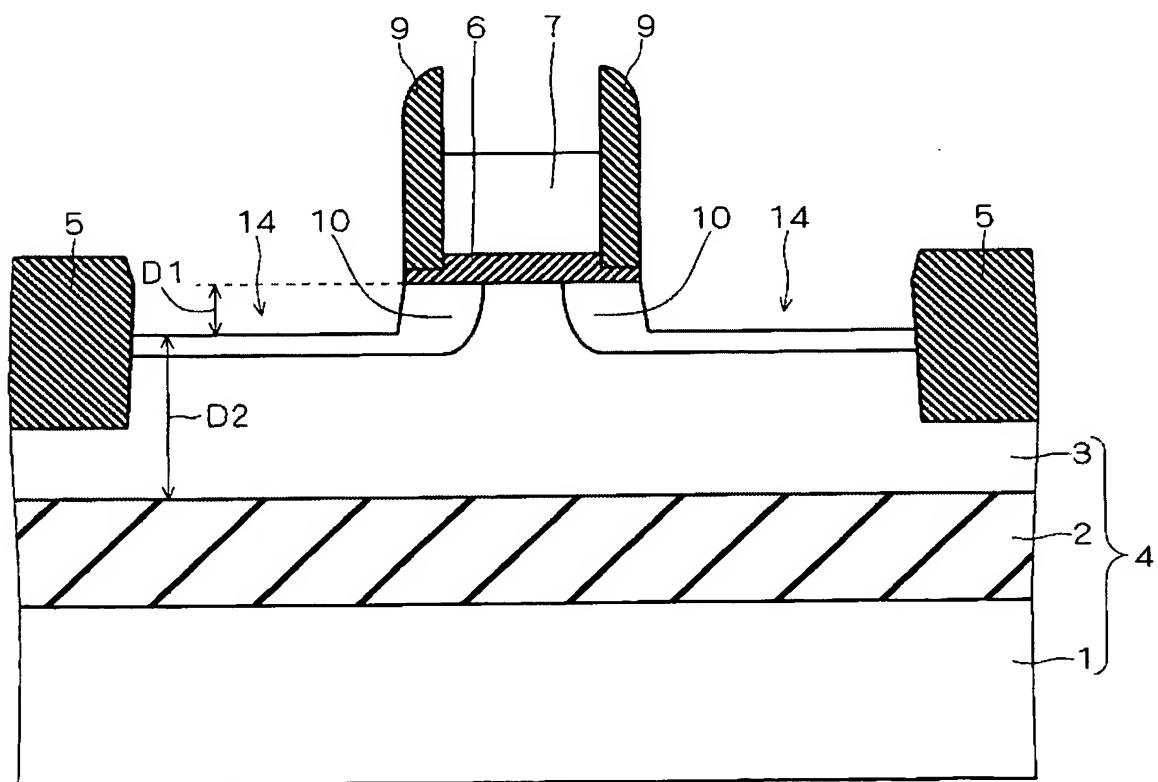
【図 5】



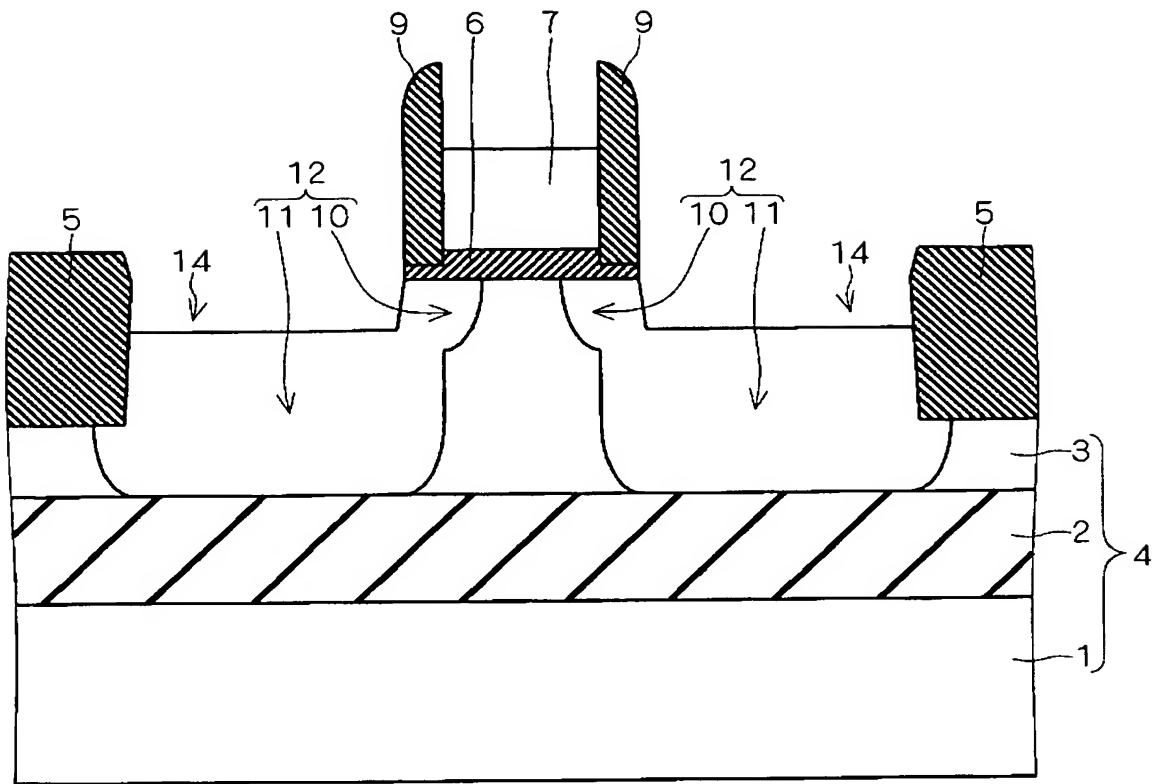
【图 6】



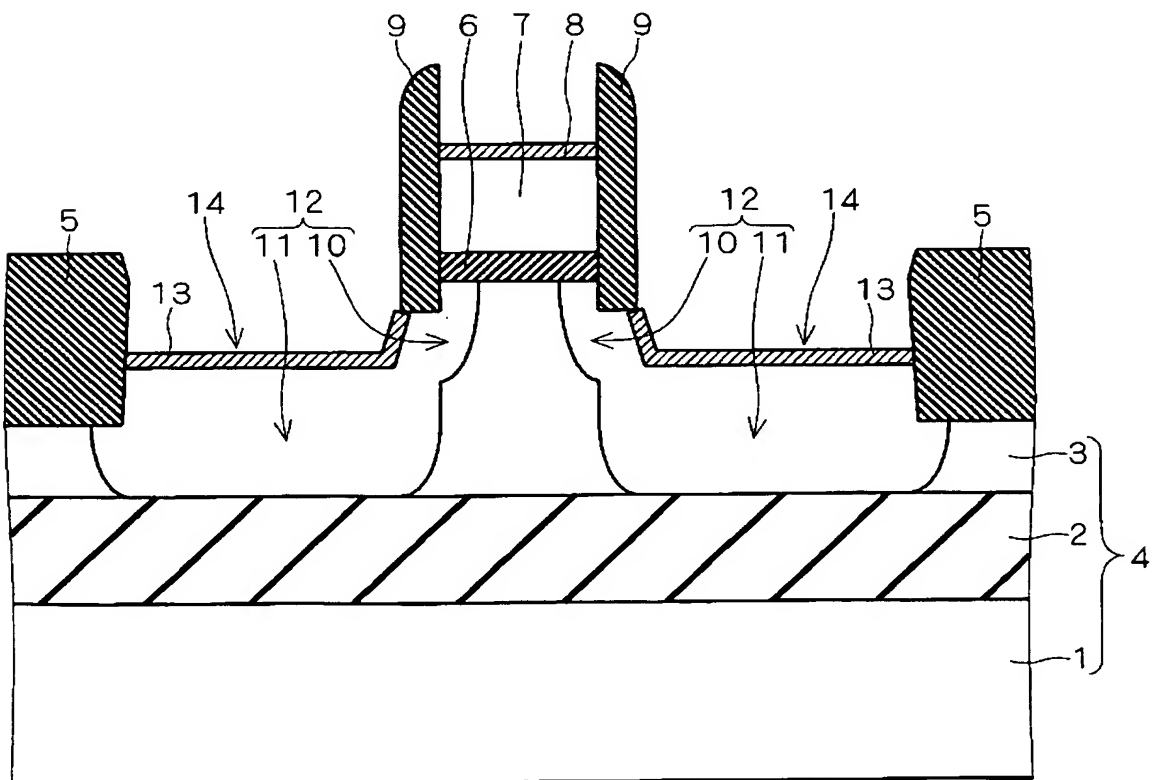
【图7】



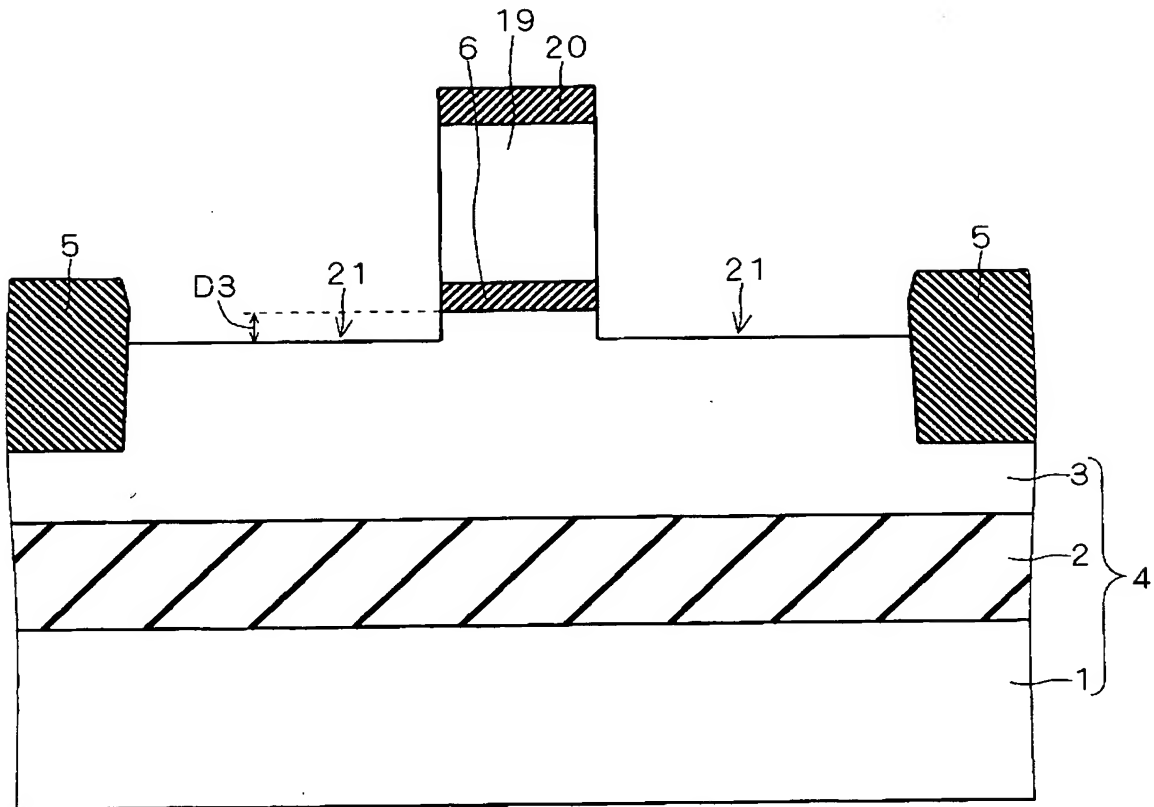
【図 8】



【図 9】

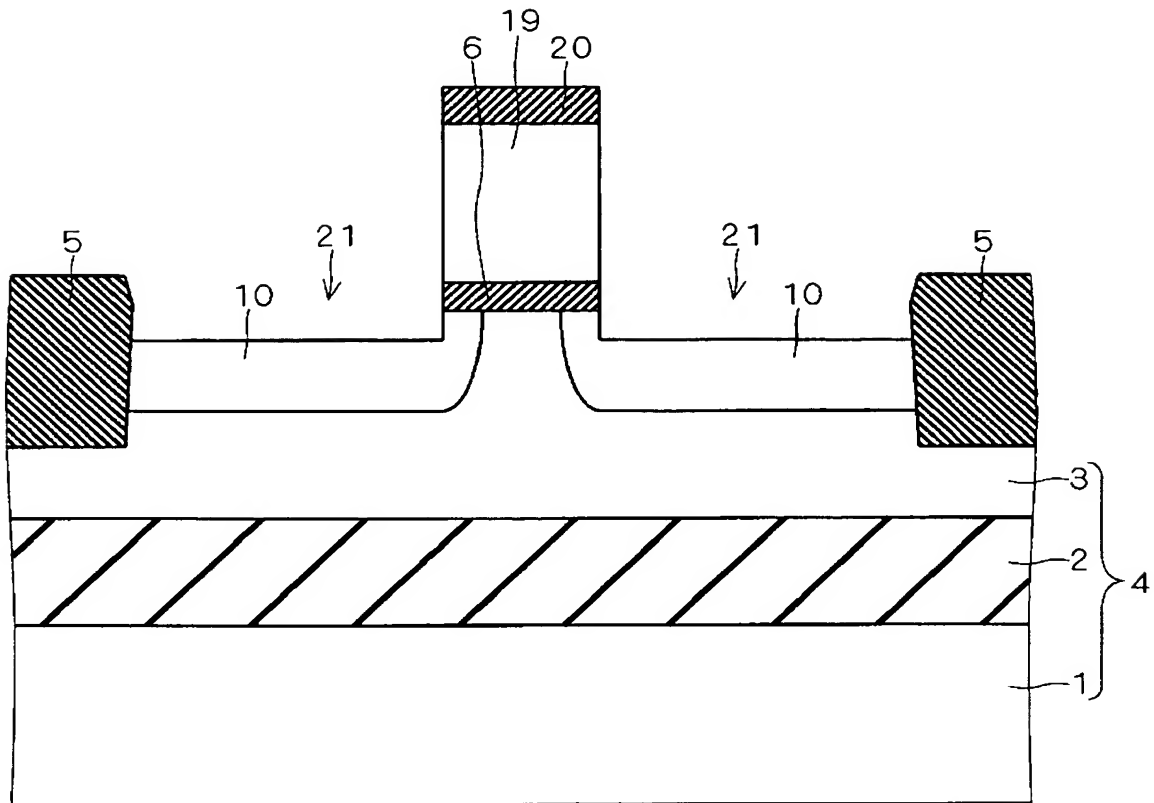


【図 10】

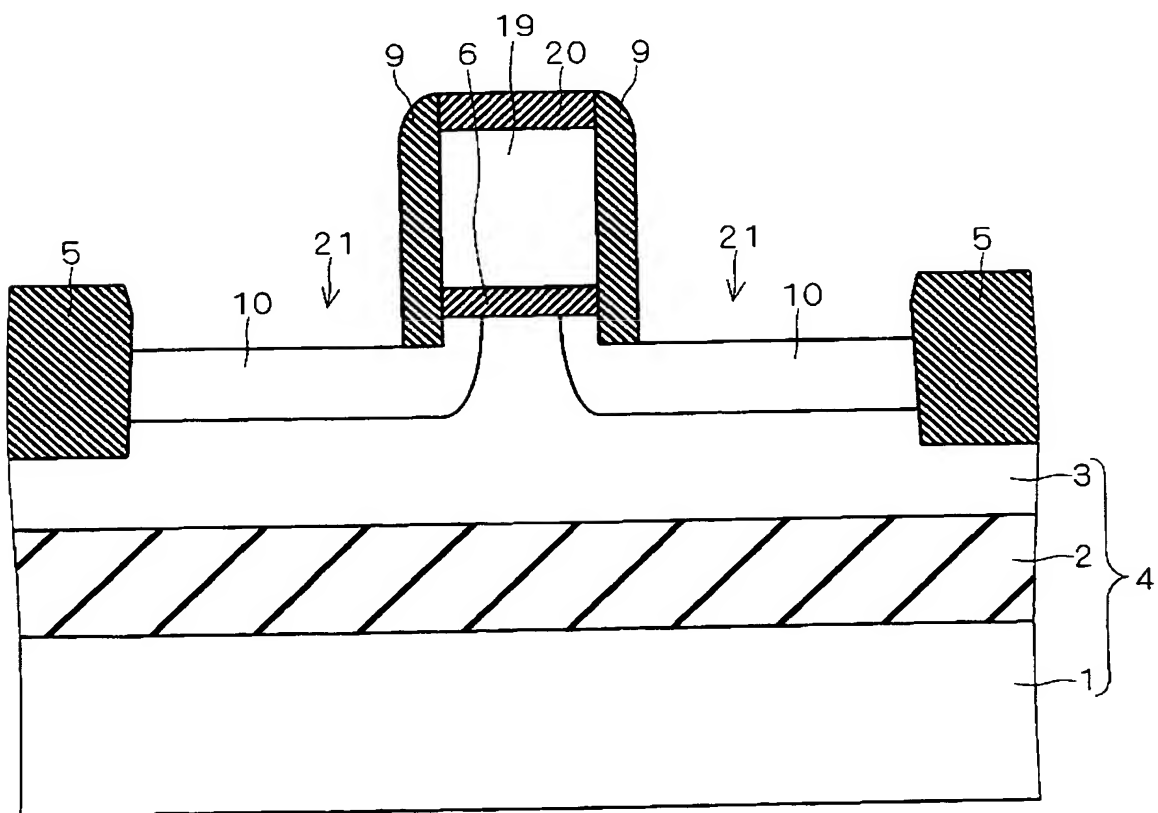


21 : 凹部

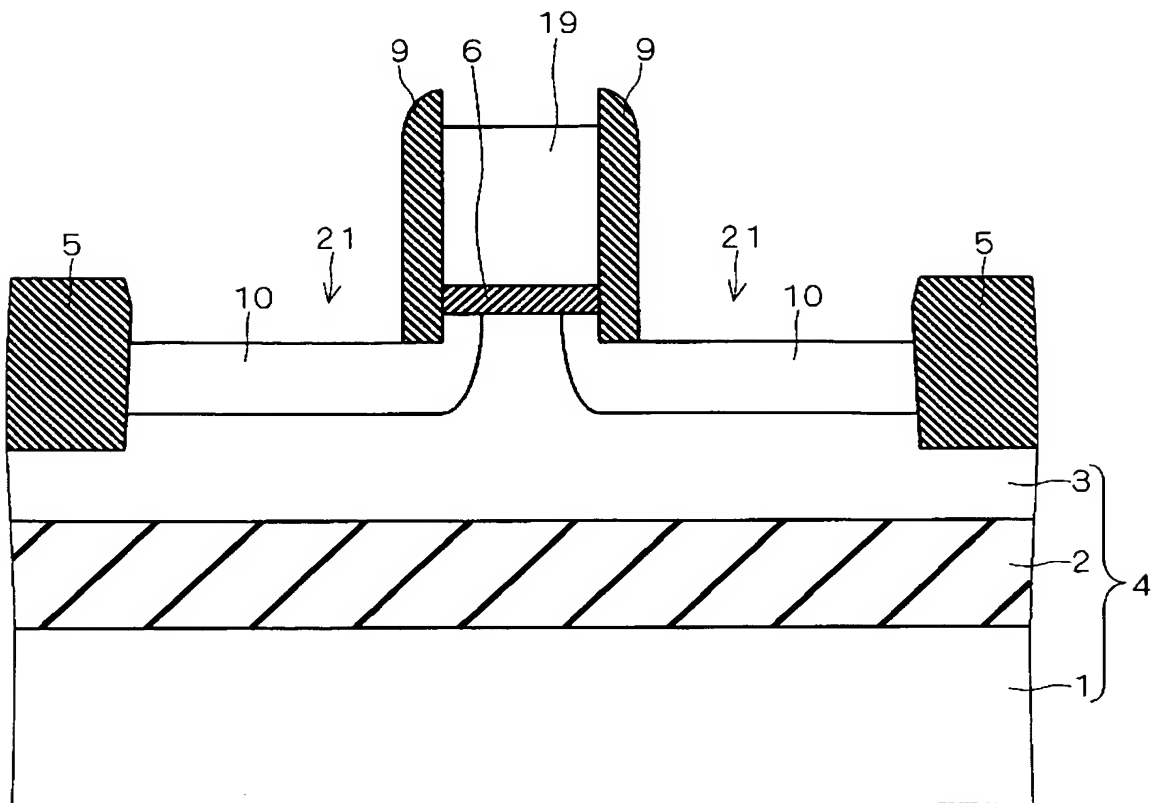
【图 1 1】



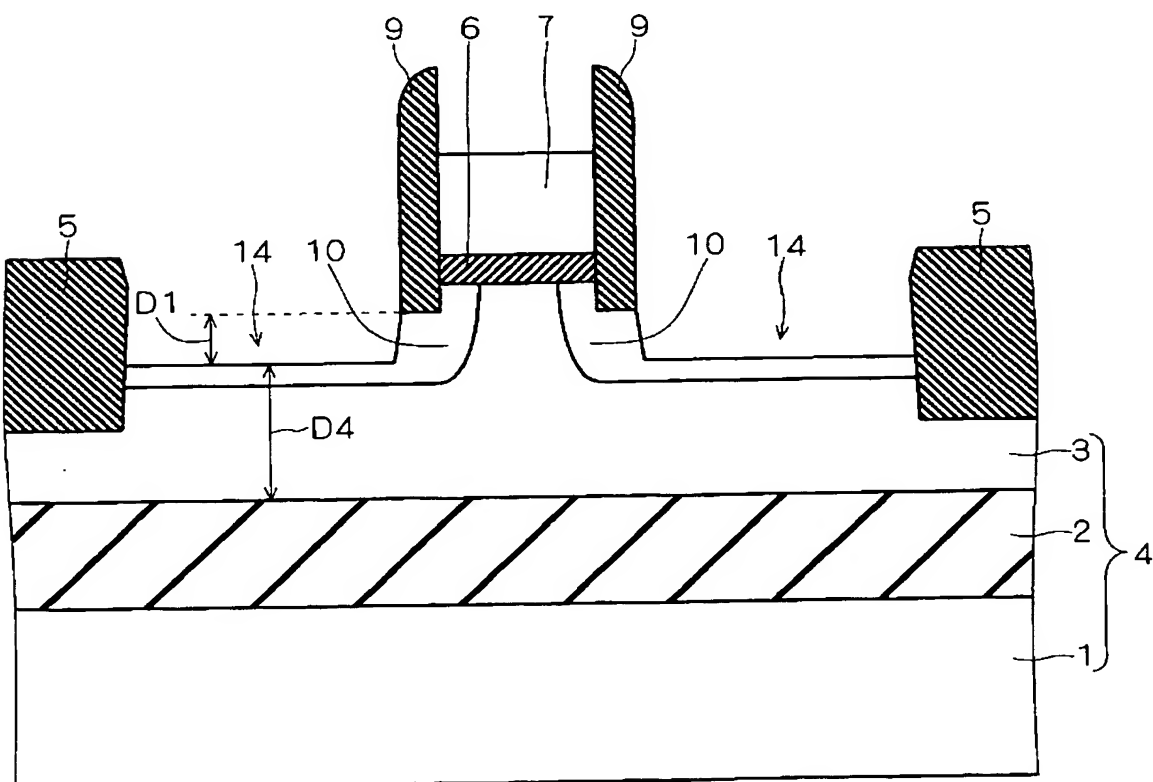
【图 12】



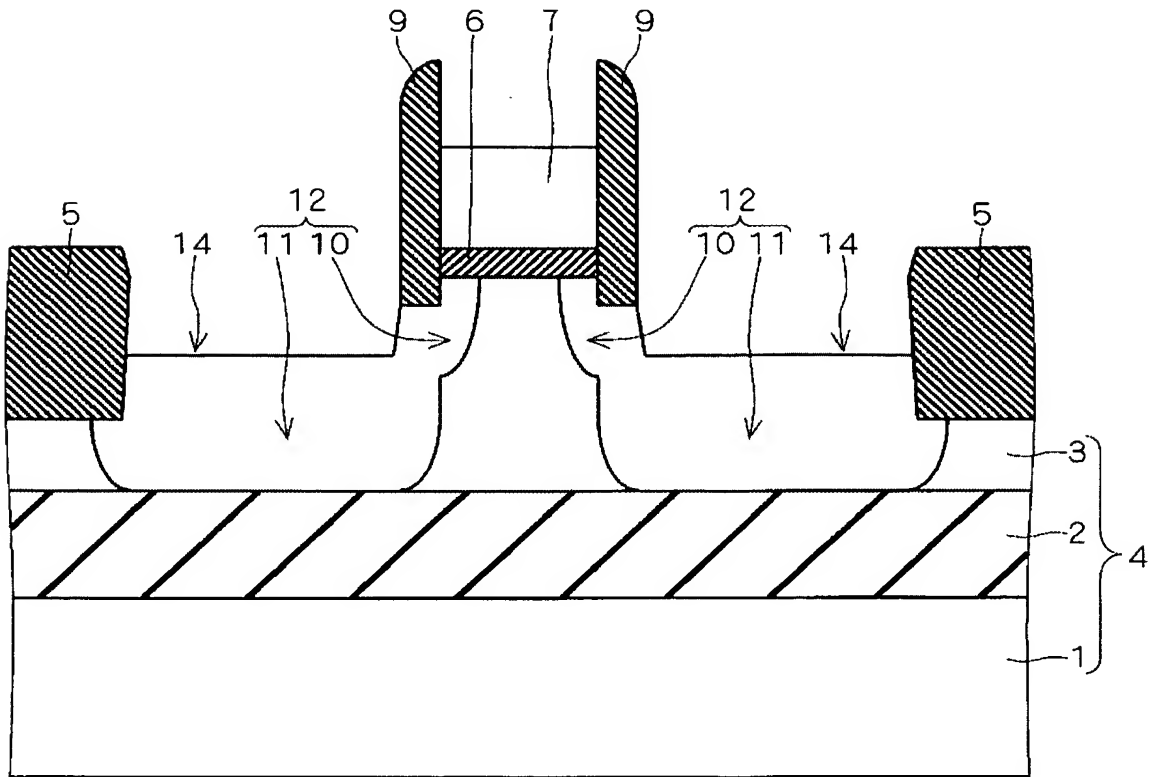
【図 13】



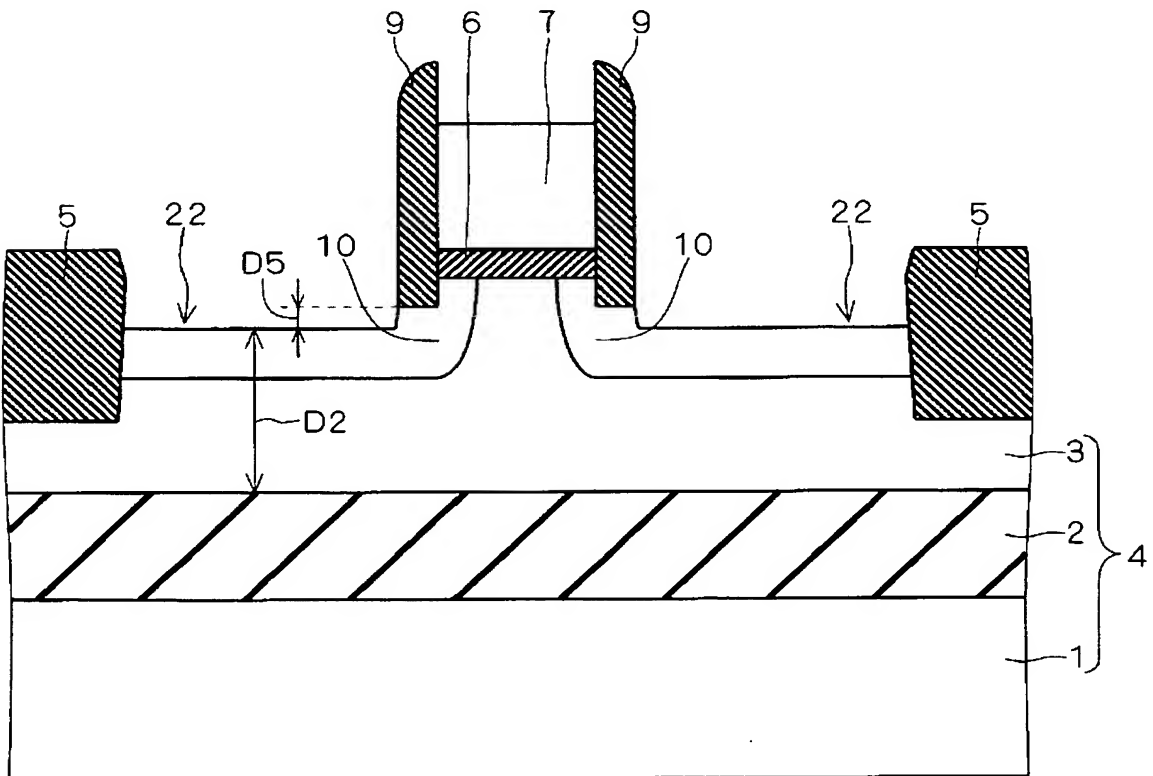
【図 14】



【図 15】

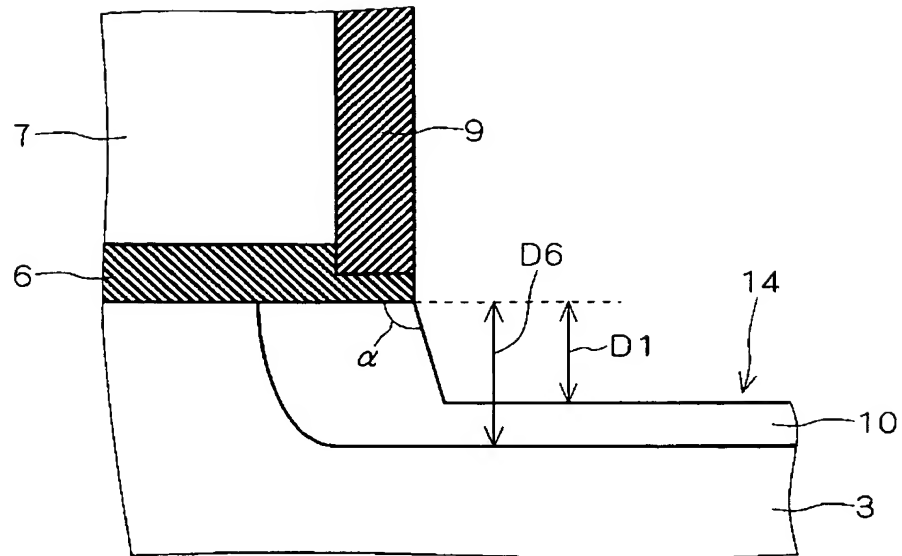


【図 16】

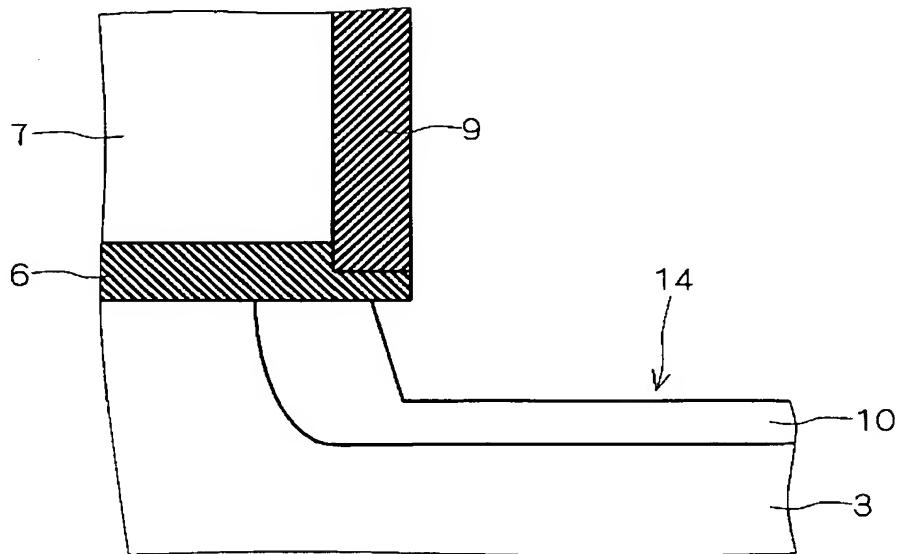


22 : 凹部

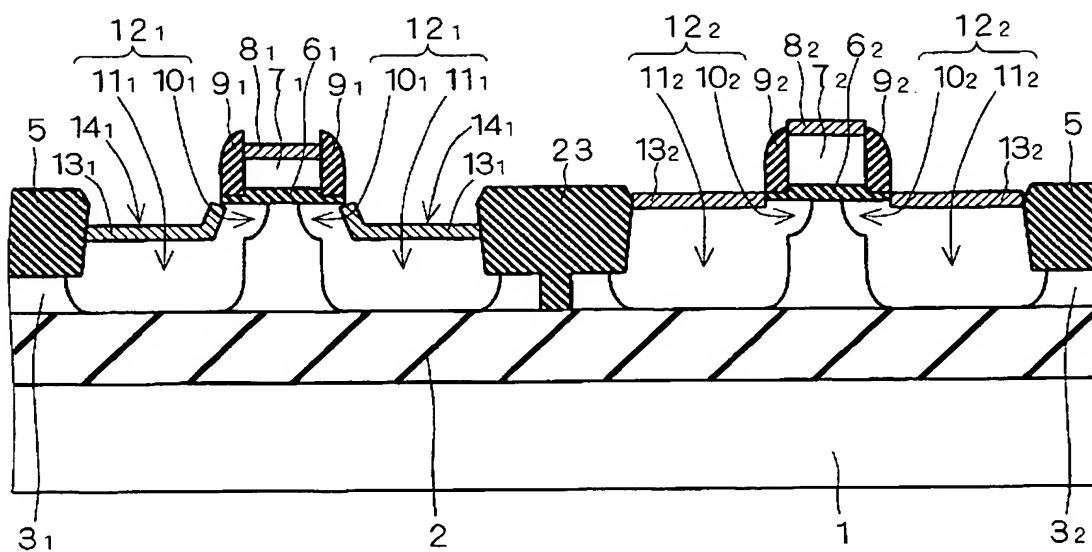
【図 17】



【図 18】

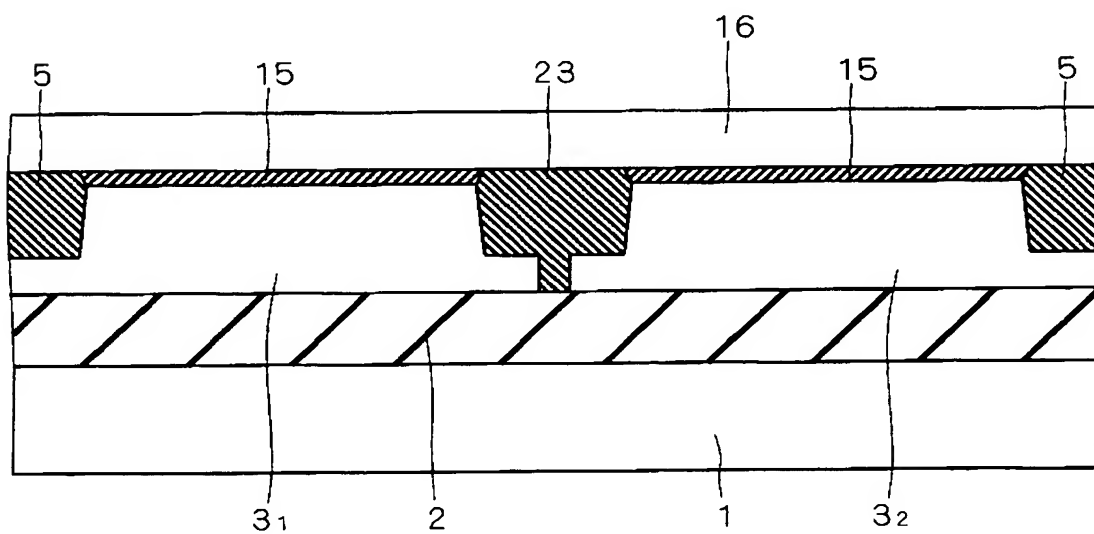


【図 19】

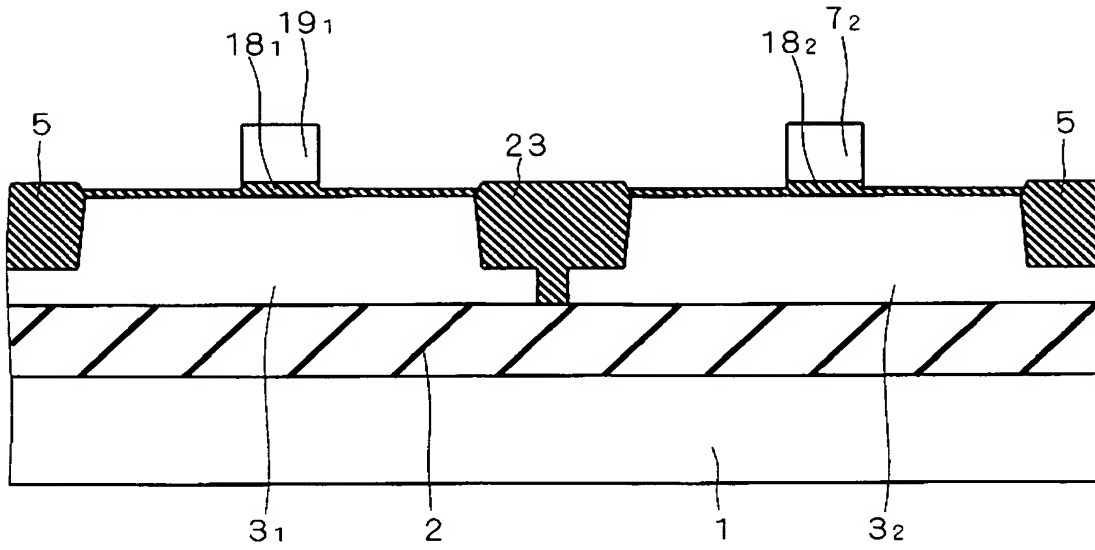


23 : 素子分離絶縁膜

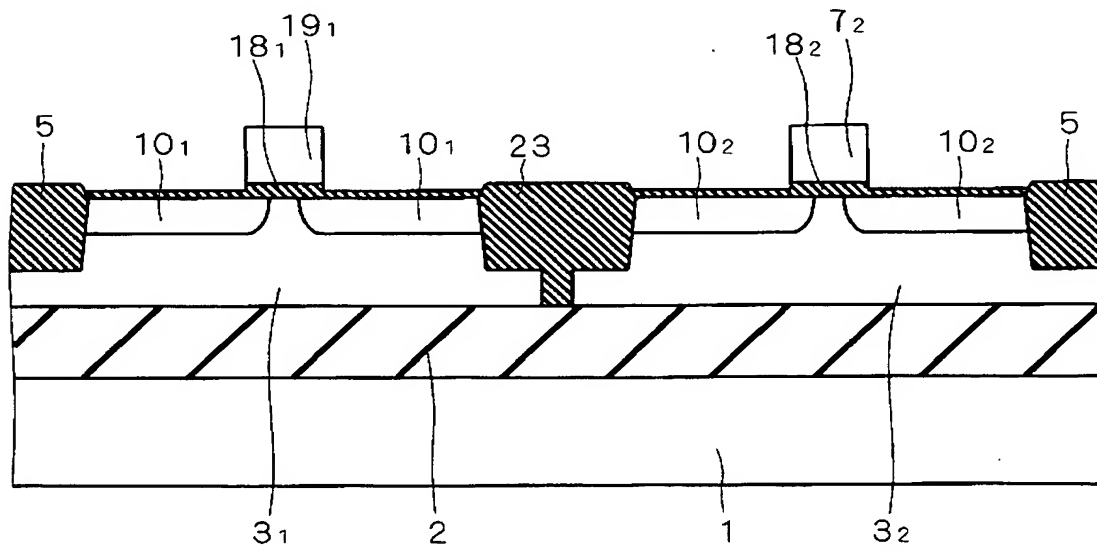
【図 20】



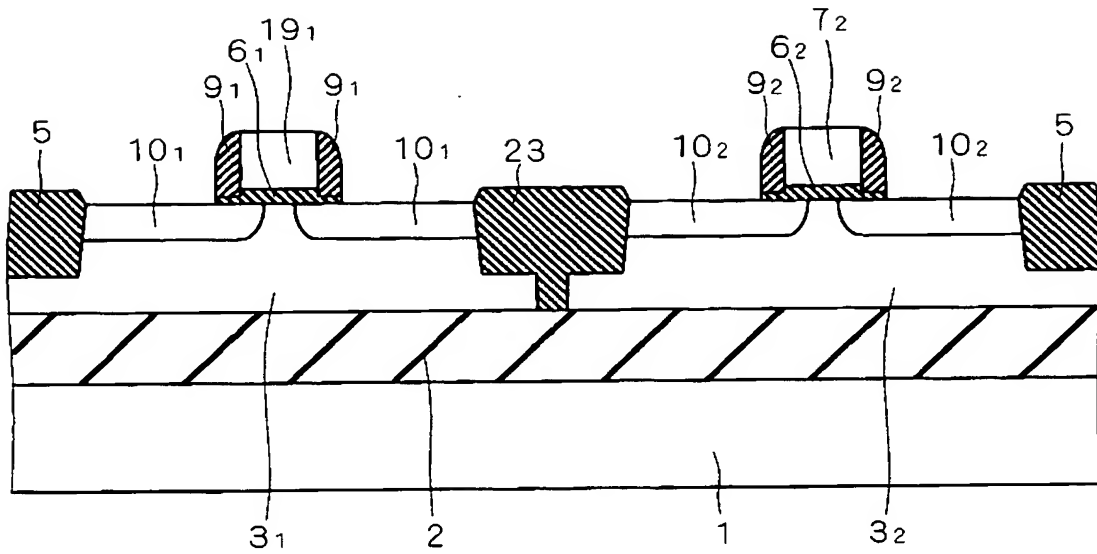
【図 2 1】



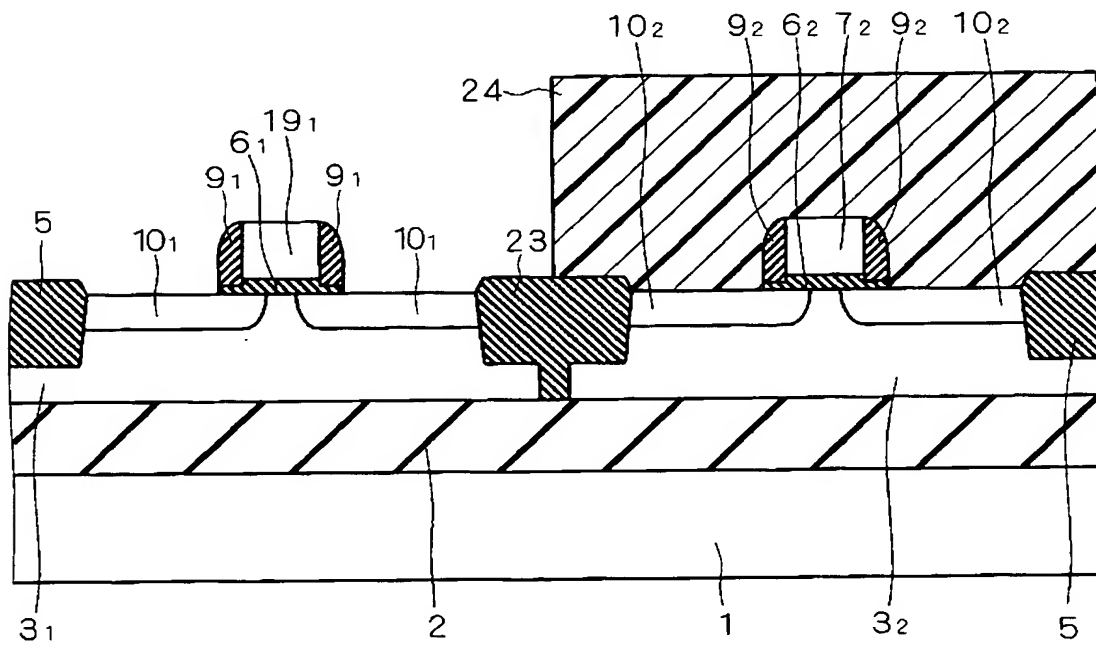
【図 2 2】



【図 23】

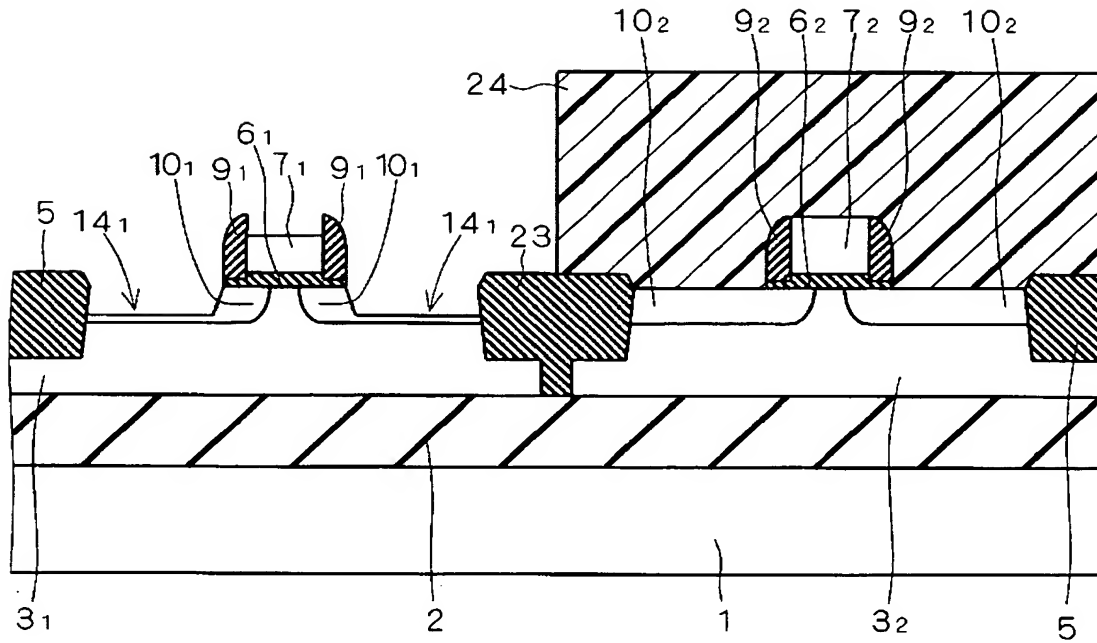


【図 24】

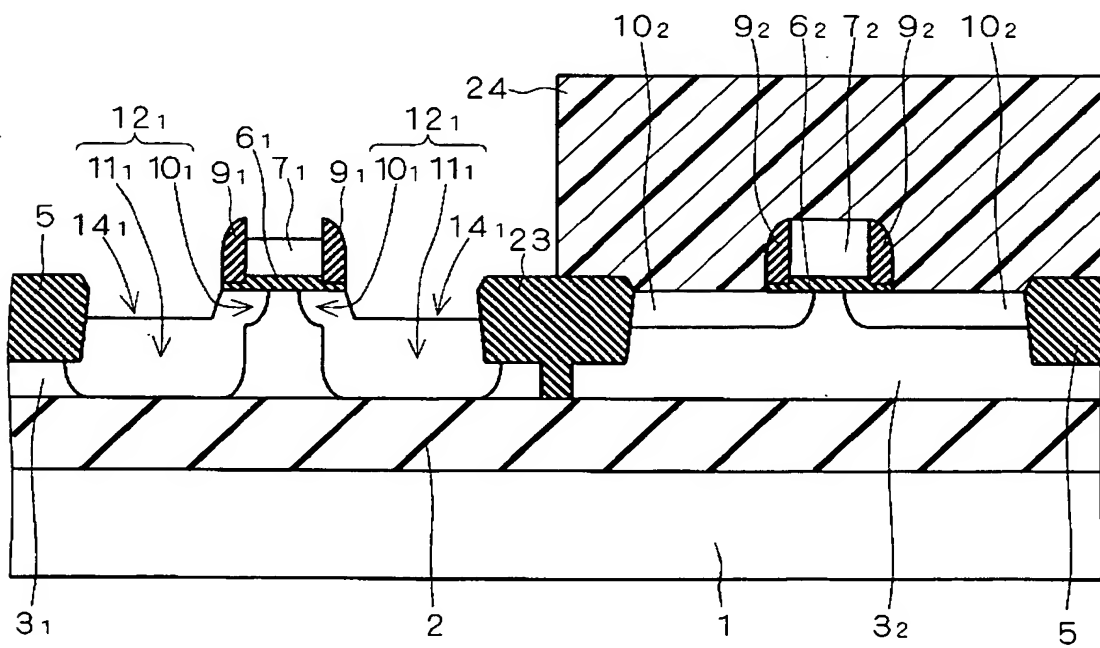


24 : フォトレジスト

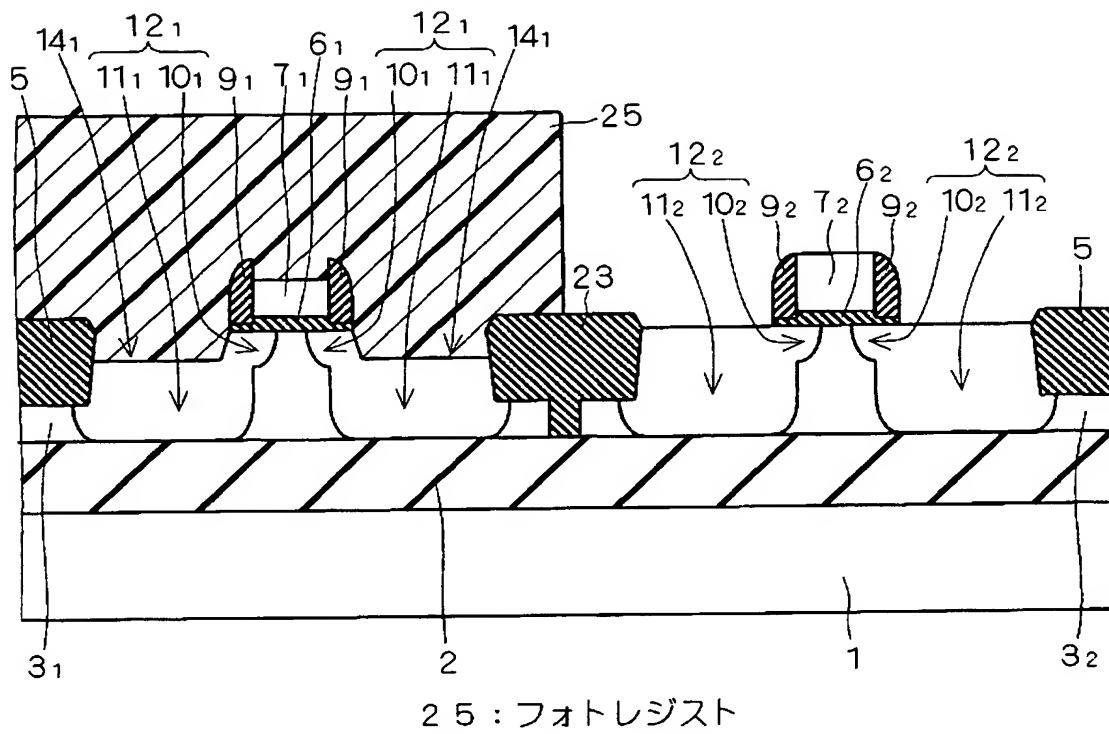
【図 25】



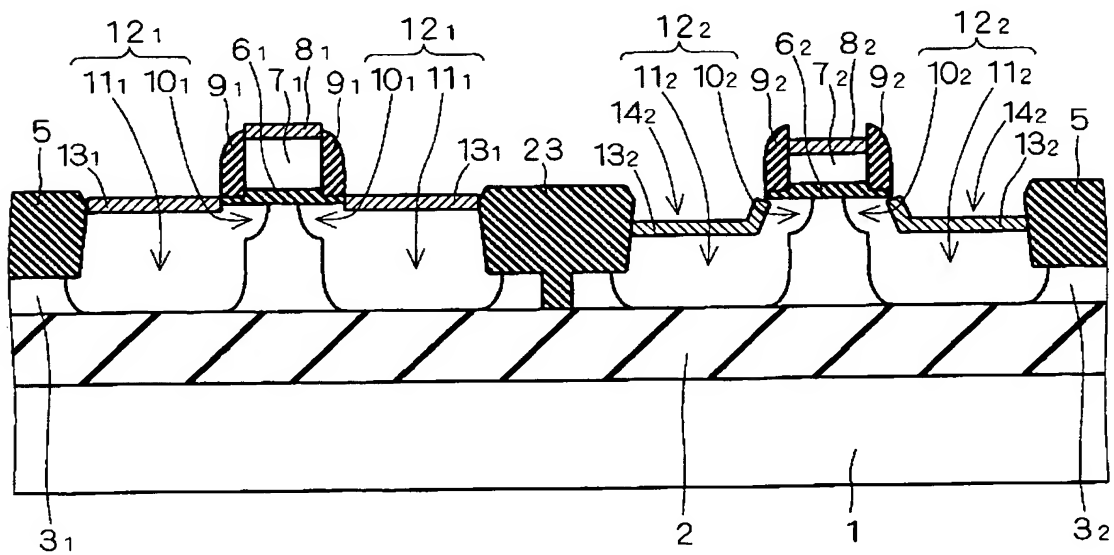
【図 26】



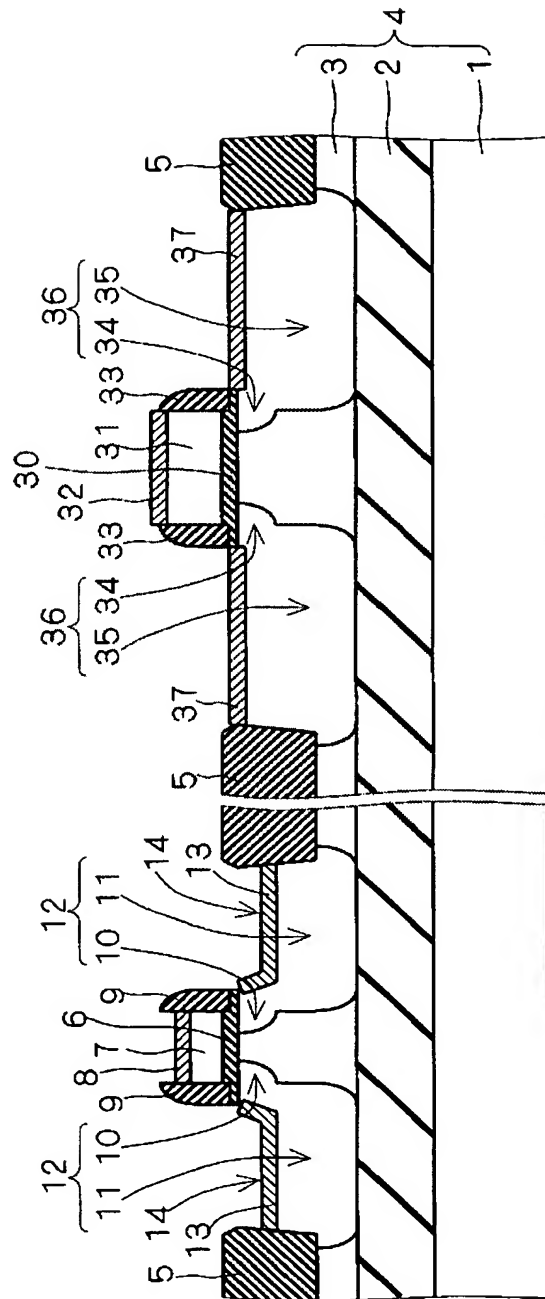
【図 27】



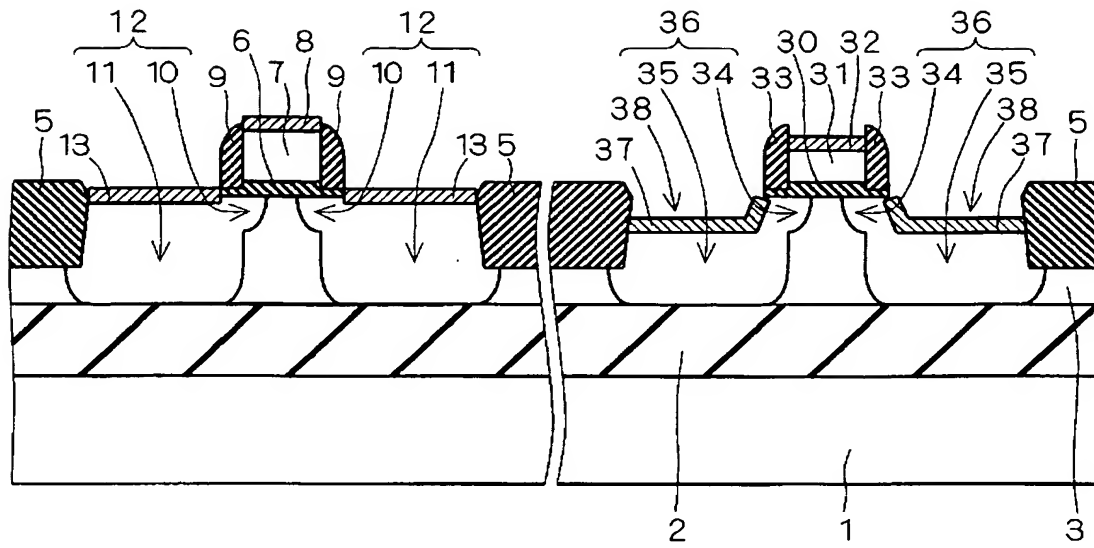
【図 28】



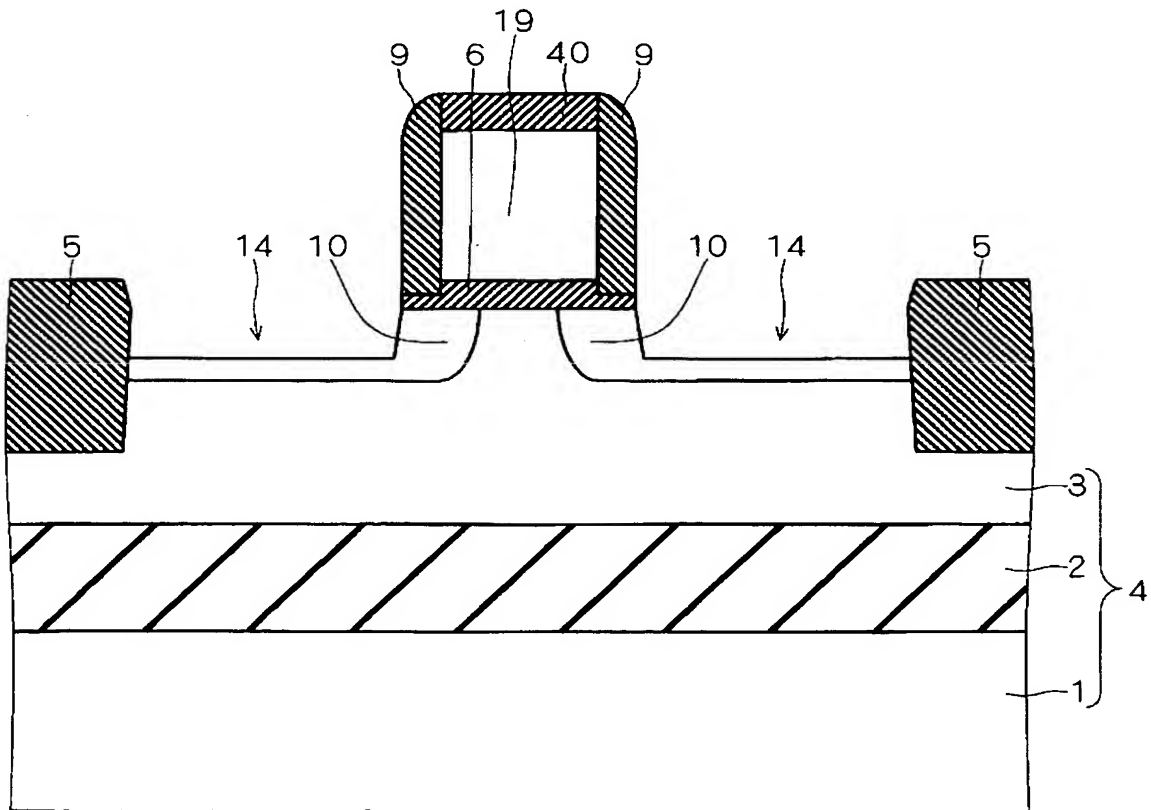
【図 29】



【図 30】

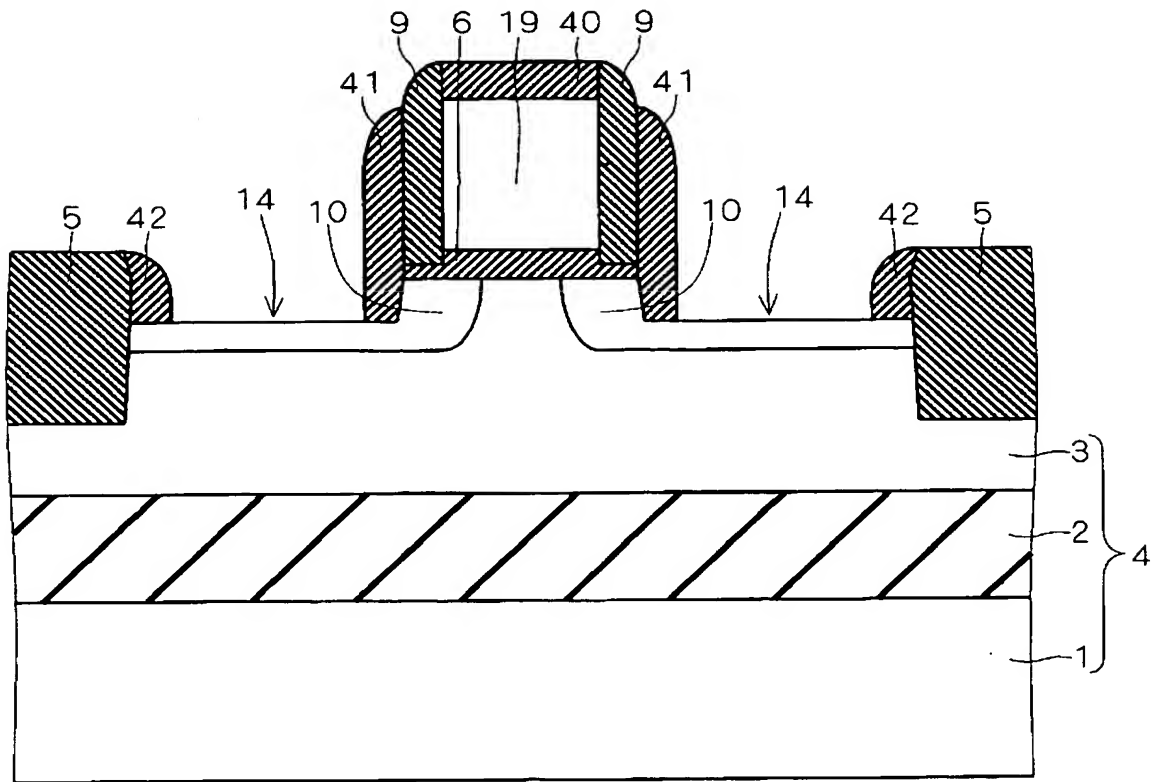


【図 31】



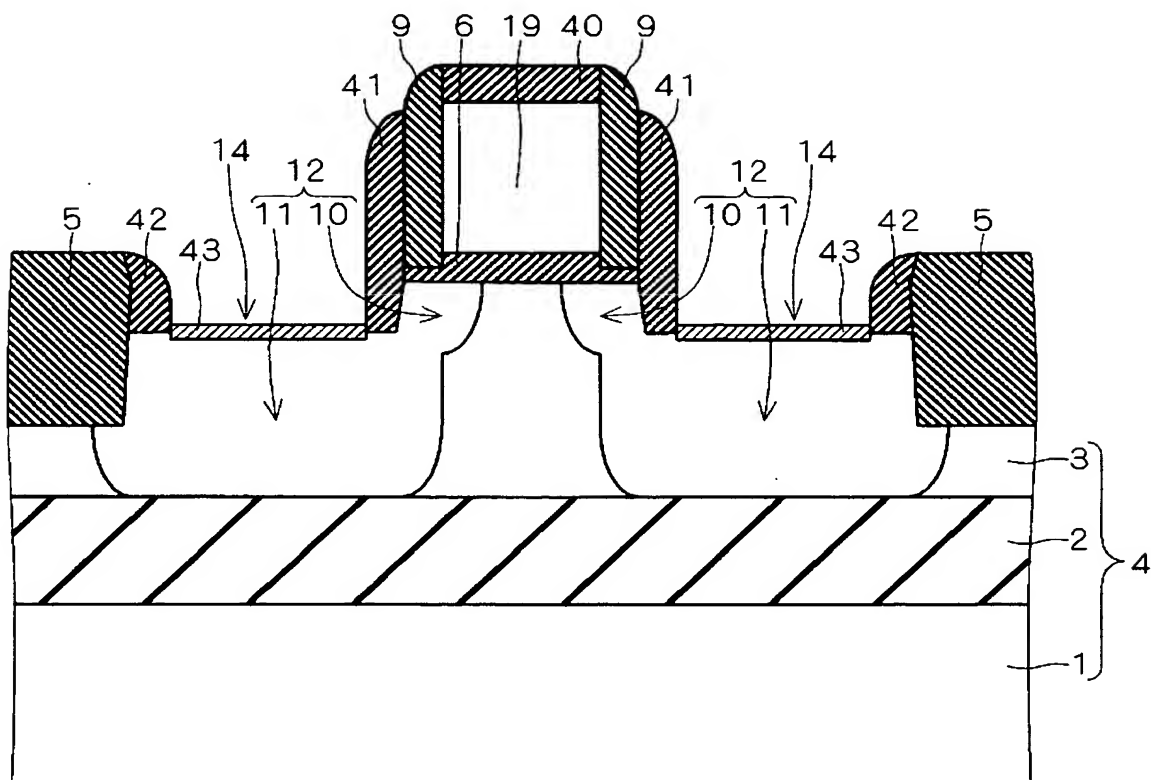
40 : シリコン窒化膜

【図 32】



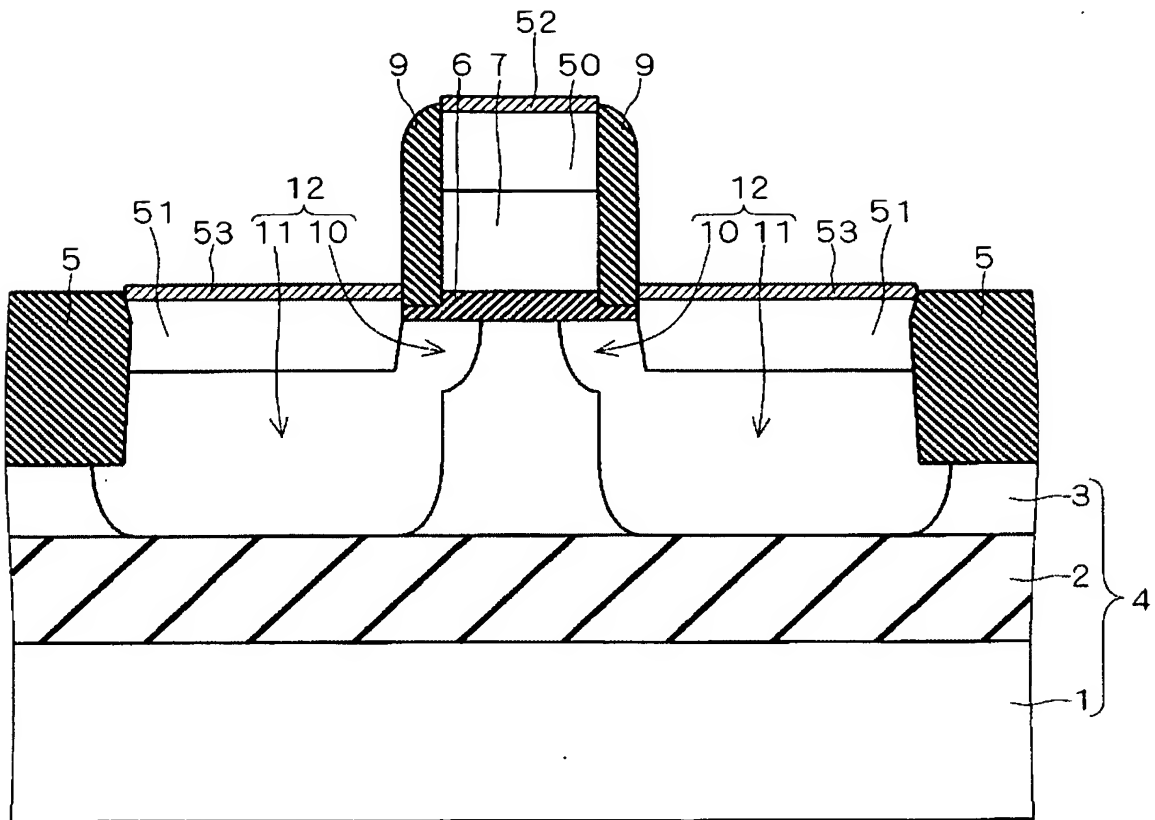
41, 42 : サイドウォール

【図 33】



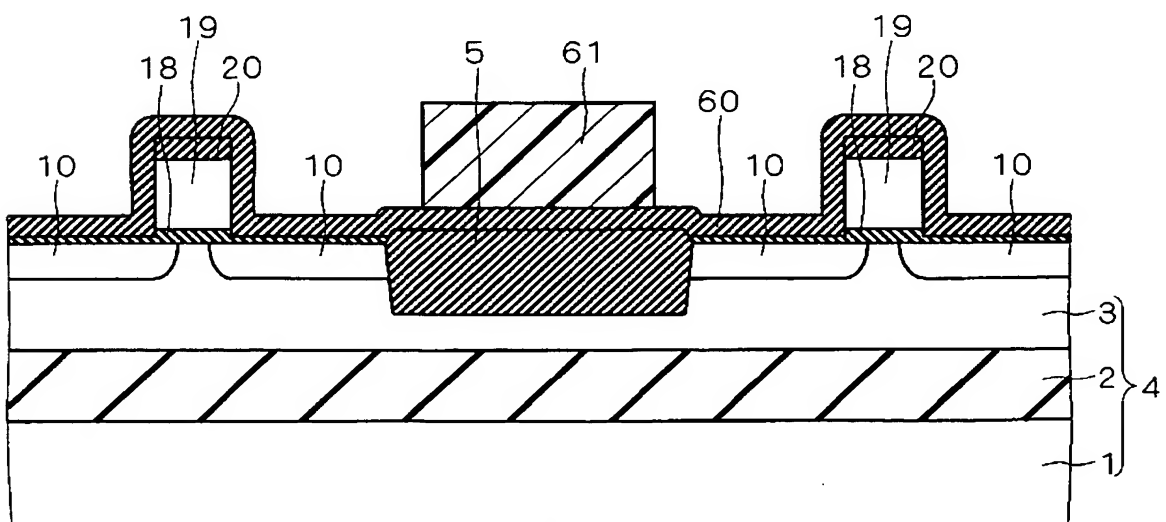
43 : コバルトシリサイド層

【図 3 5】



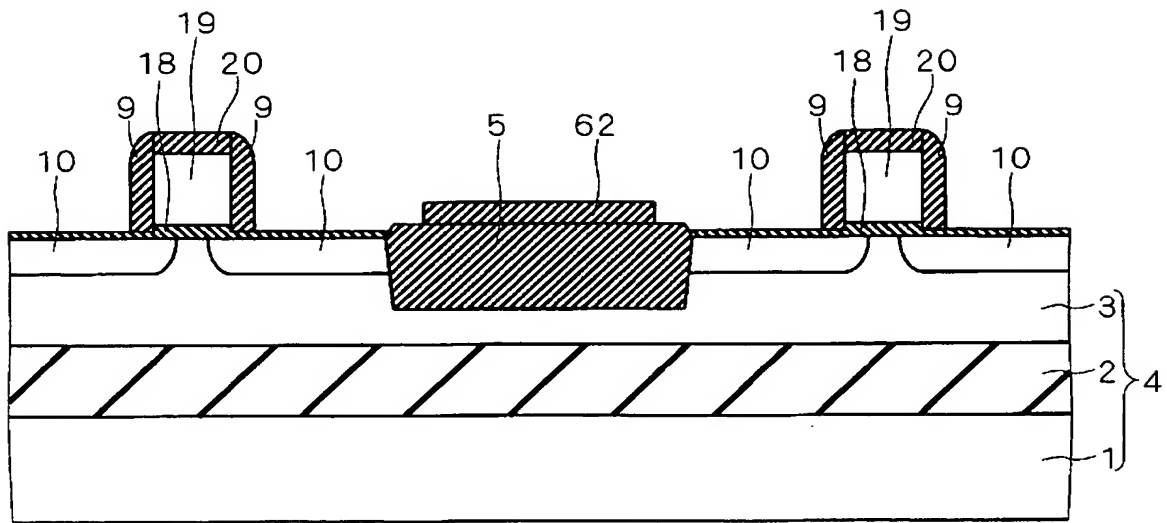
52, 53: コバルトシリサイド層

【図 3 6】



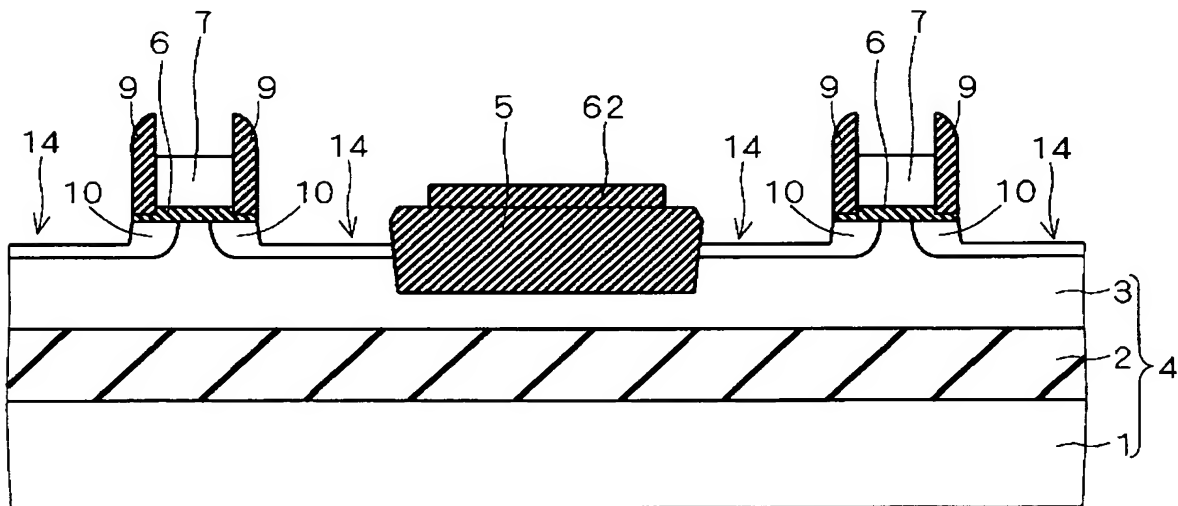
60: シリコン窒化膜 61: フォトリソグ

【図 37】

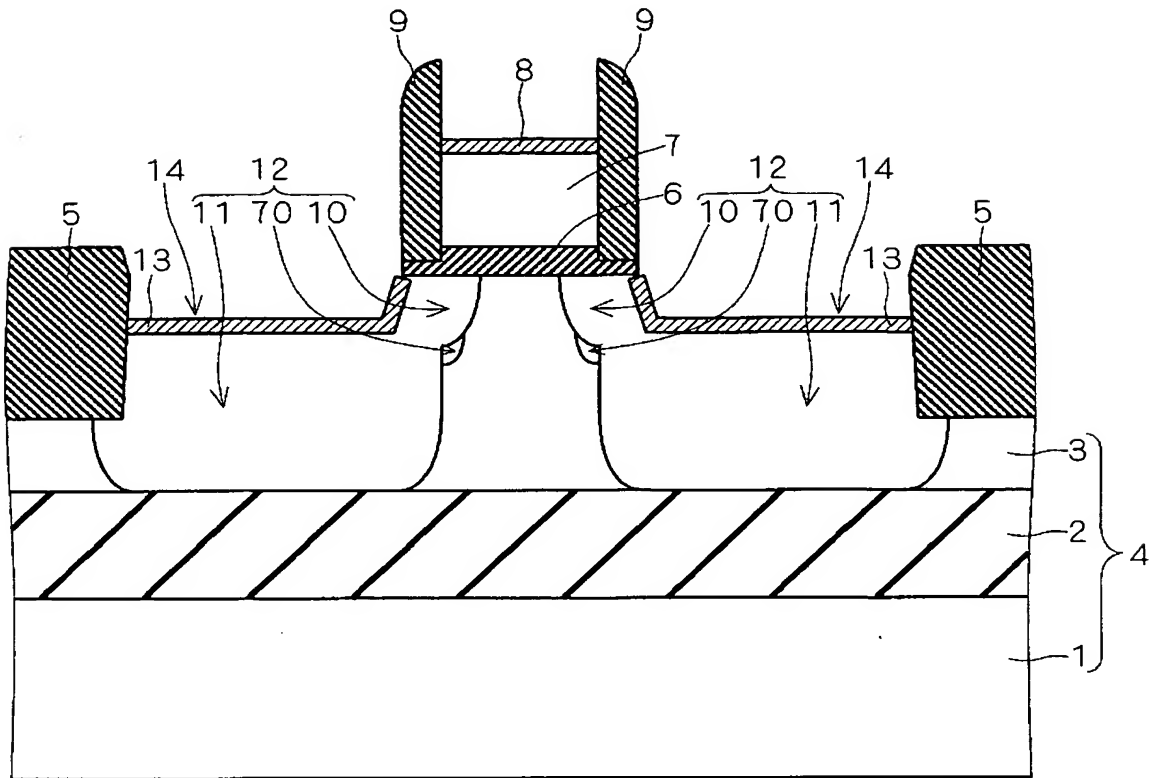


62 : シリコン窒化膜

【図 38】

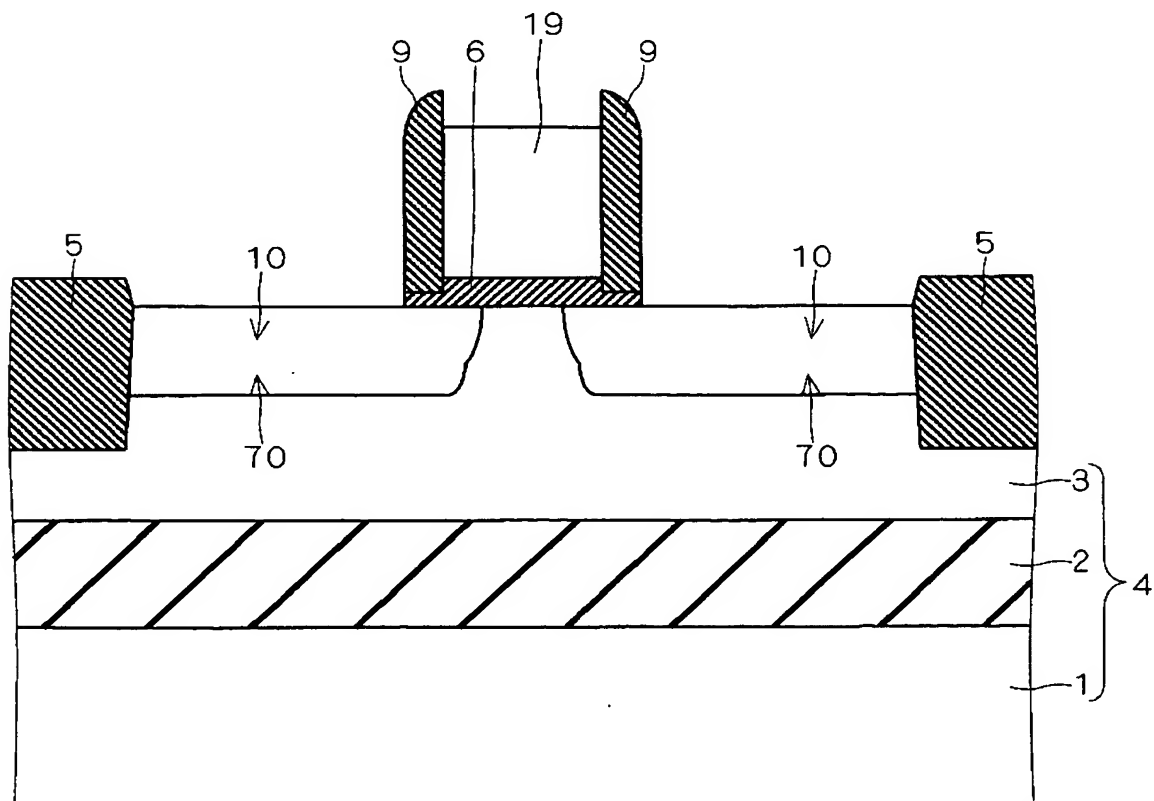


【図 39】

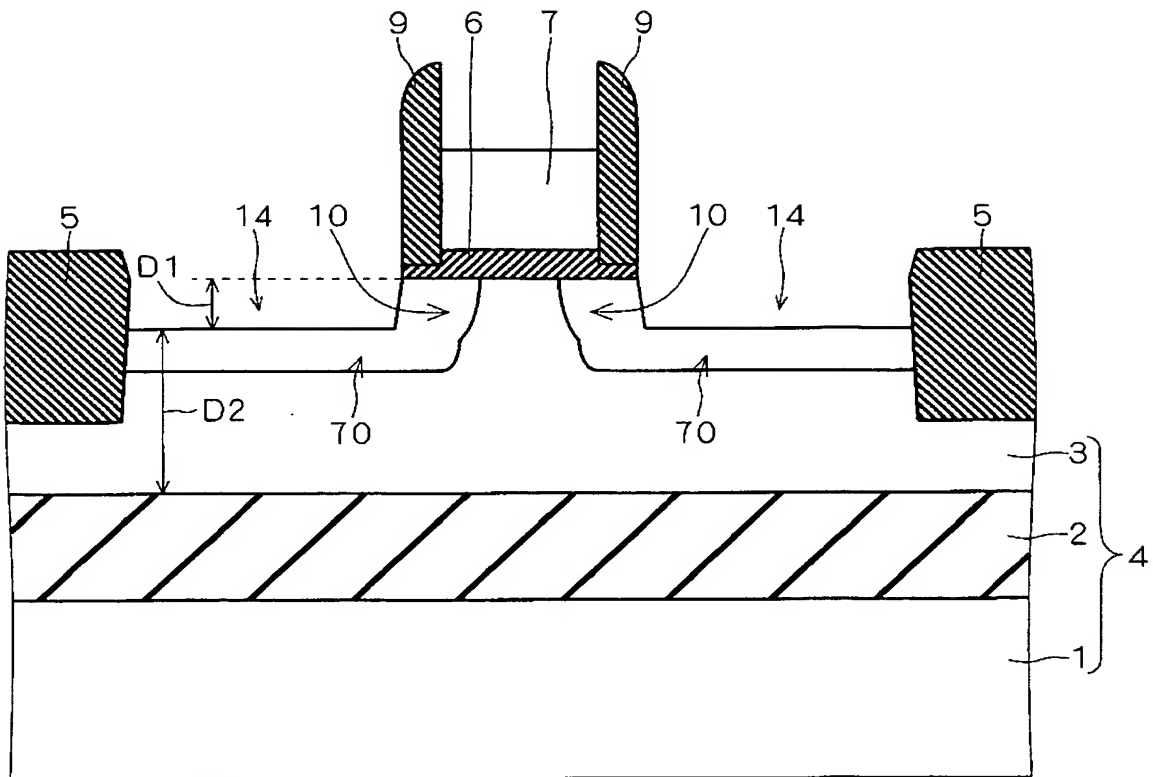


70 : 不純物導入領域

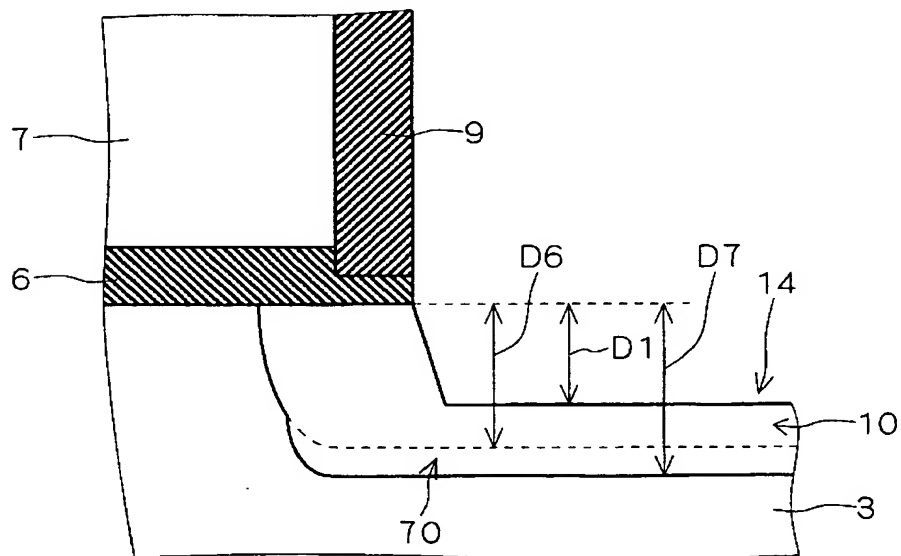
【図 40】



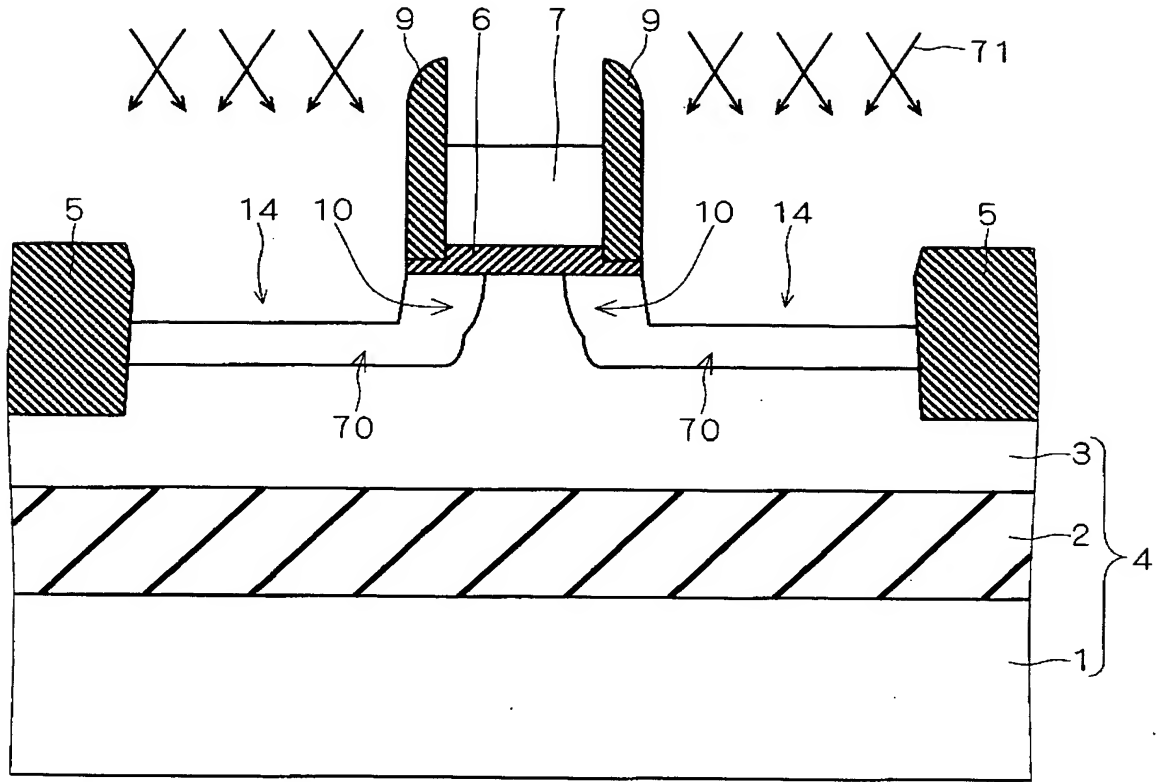
【図 4 1】



【図 4 2】

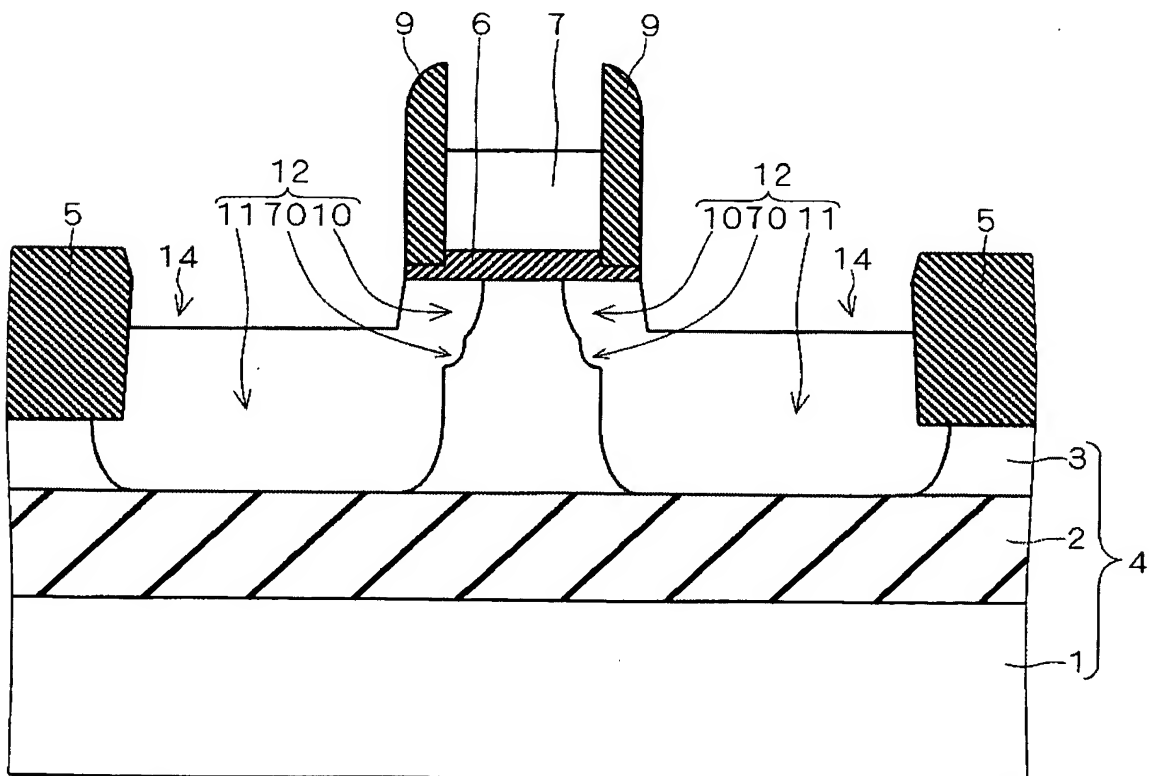


【図 4 3】

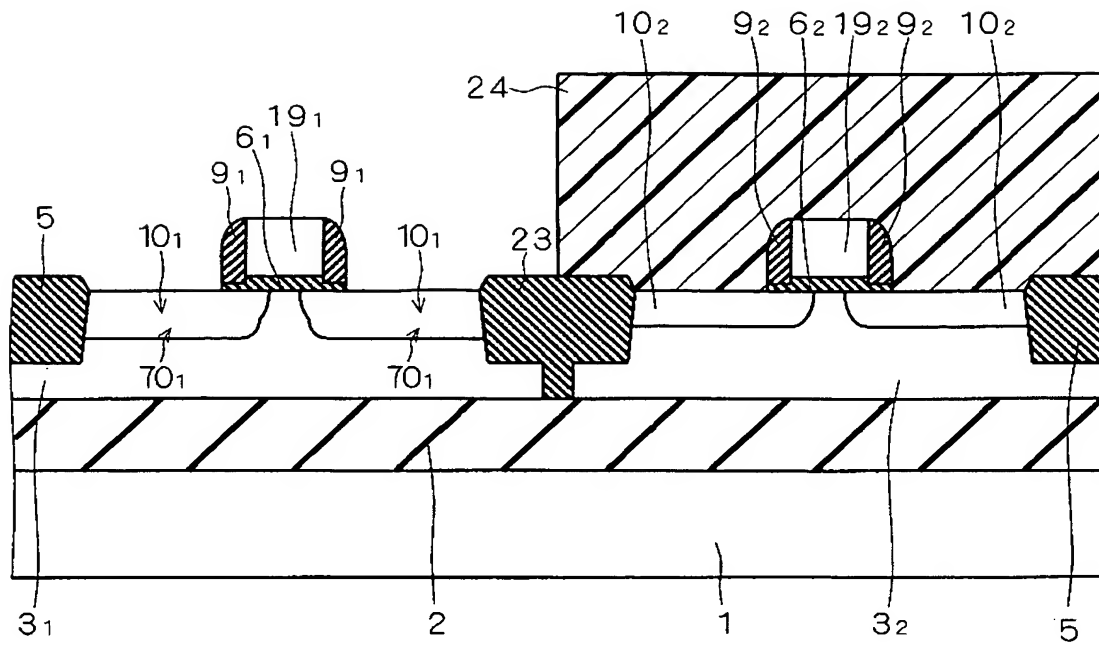


71: 不純物

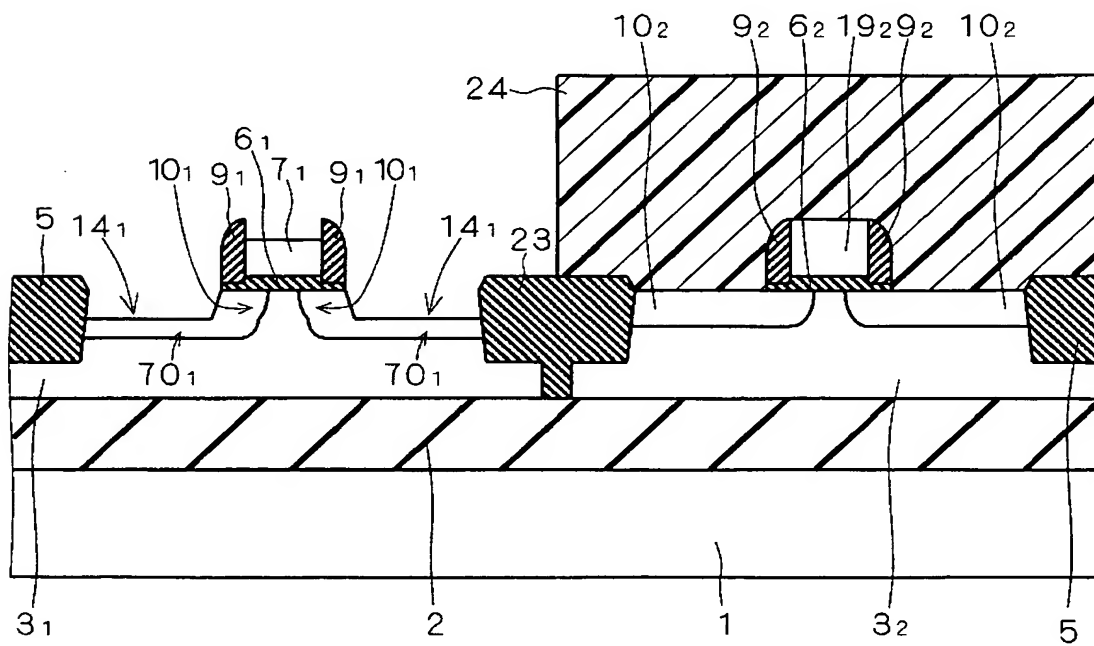
【図 4 4】



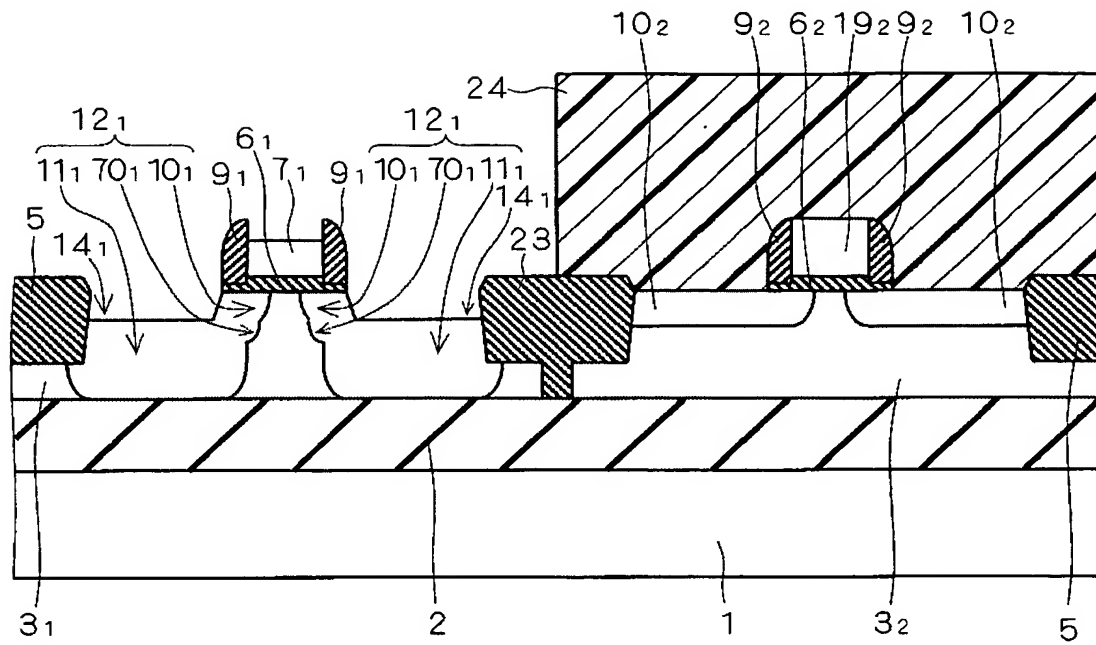
【図 4 5】



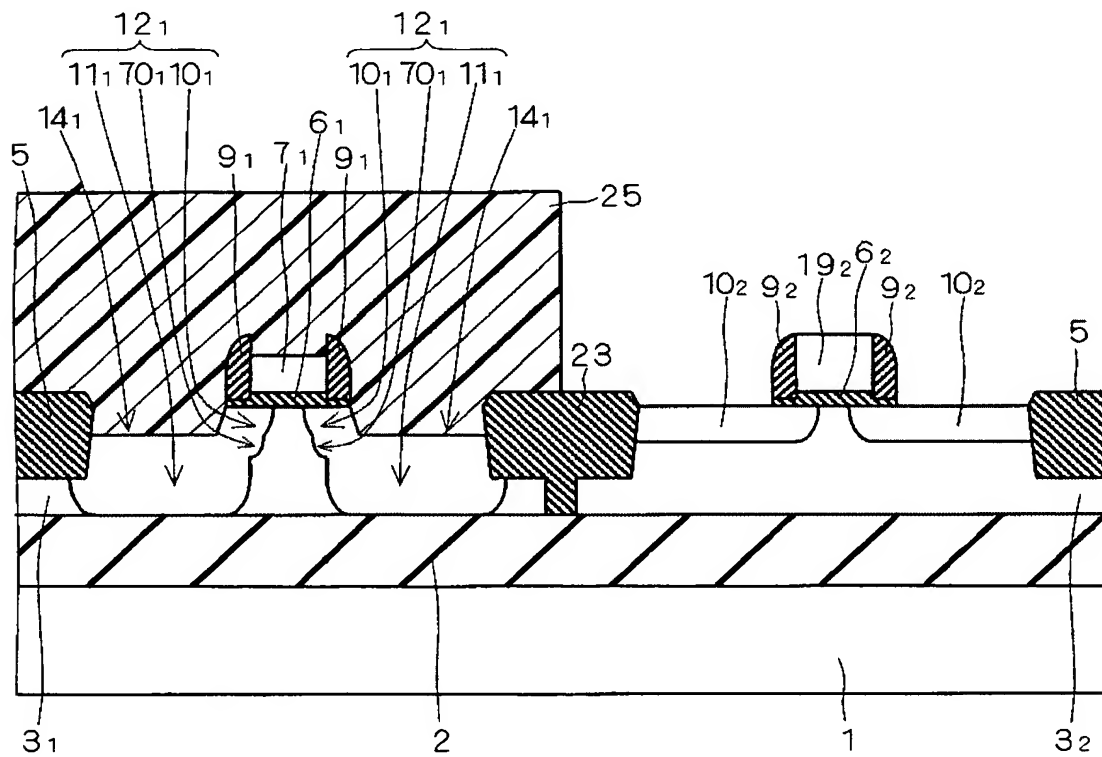
【図 4 6】



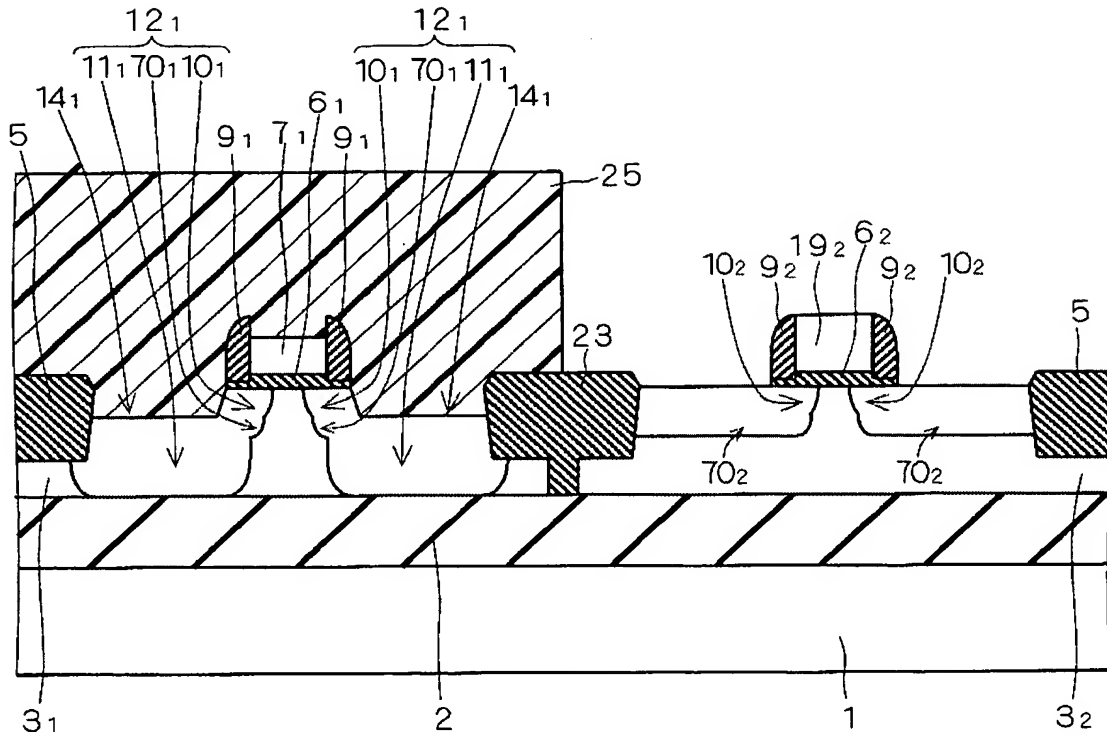
【図 4 7】



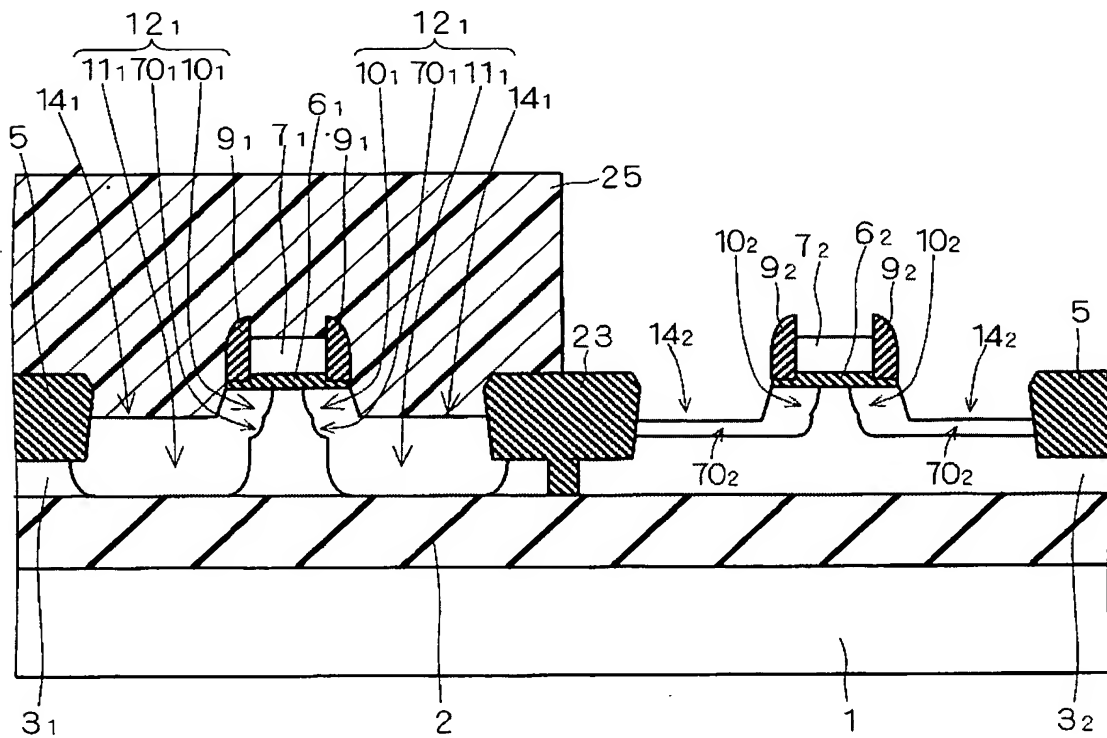
【図 4 8】



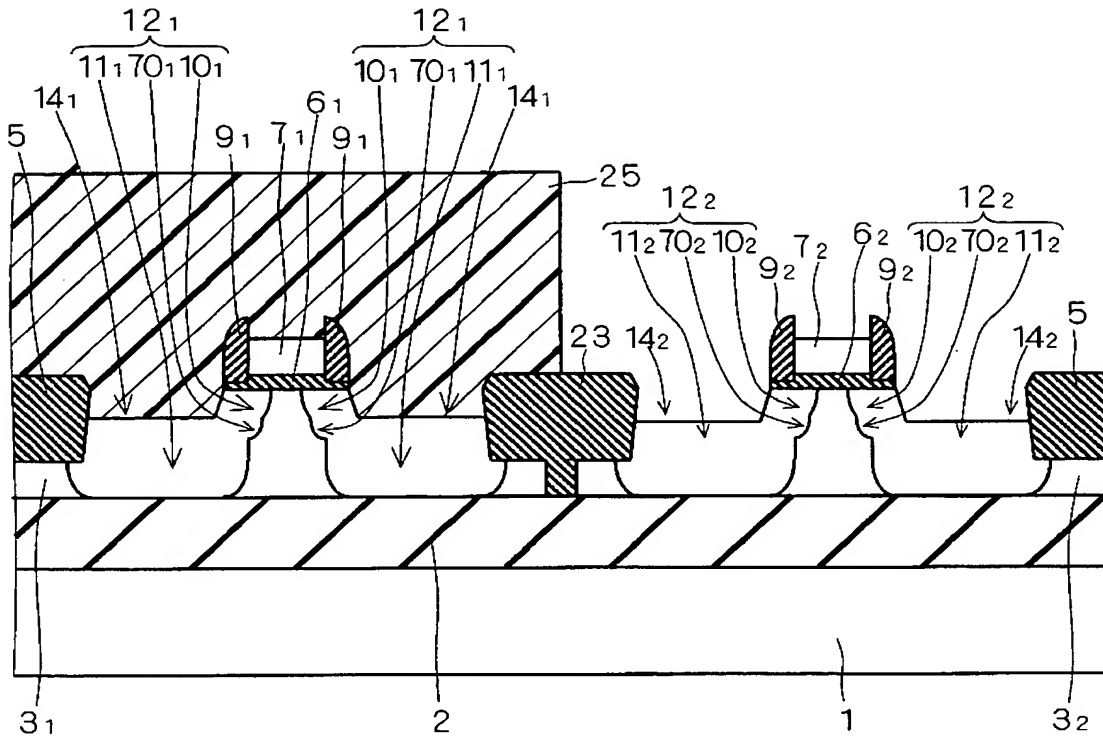
【図 49】



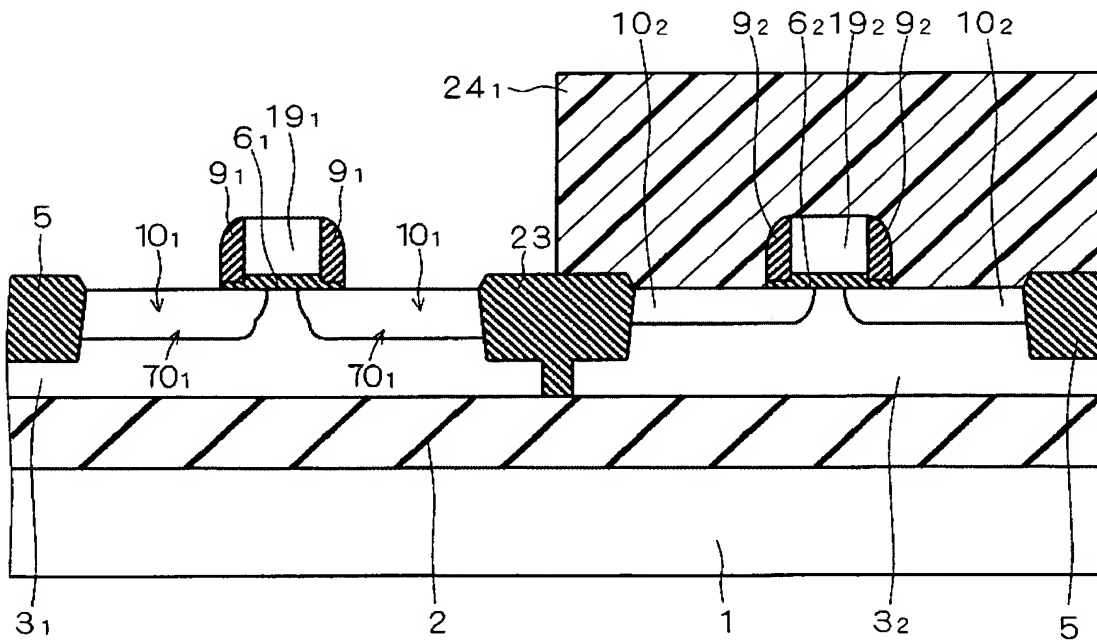
【図 50】



【図 5 1】

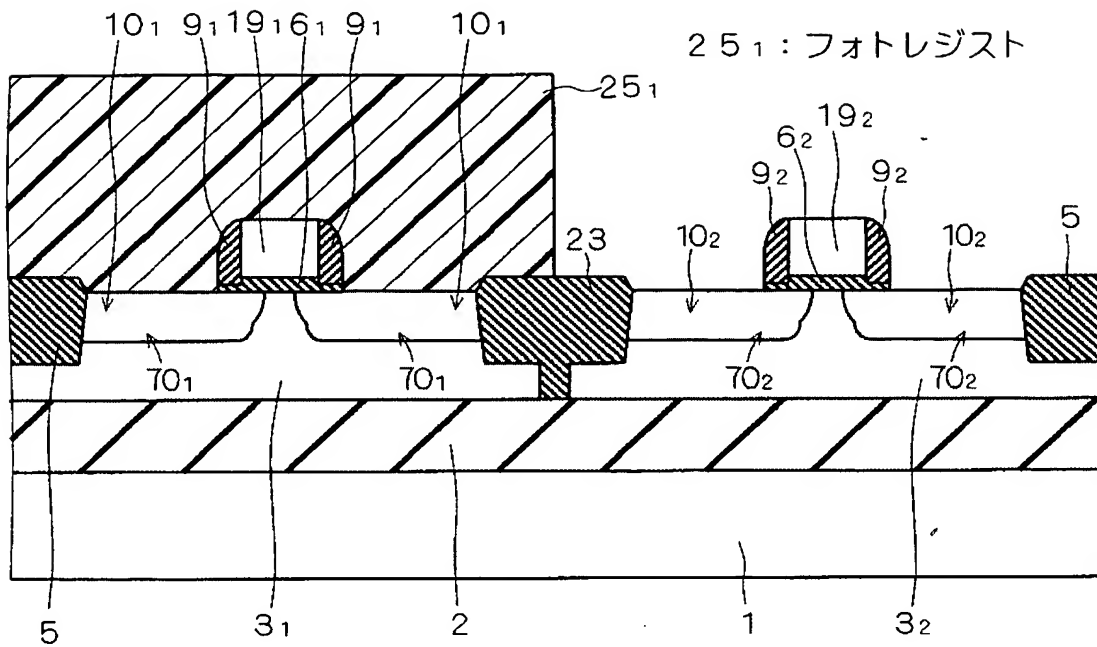


【図 5 2】

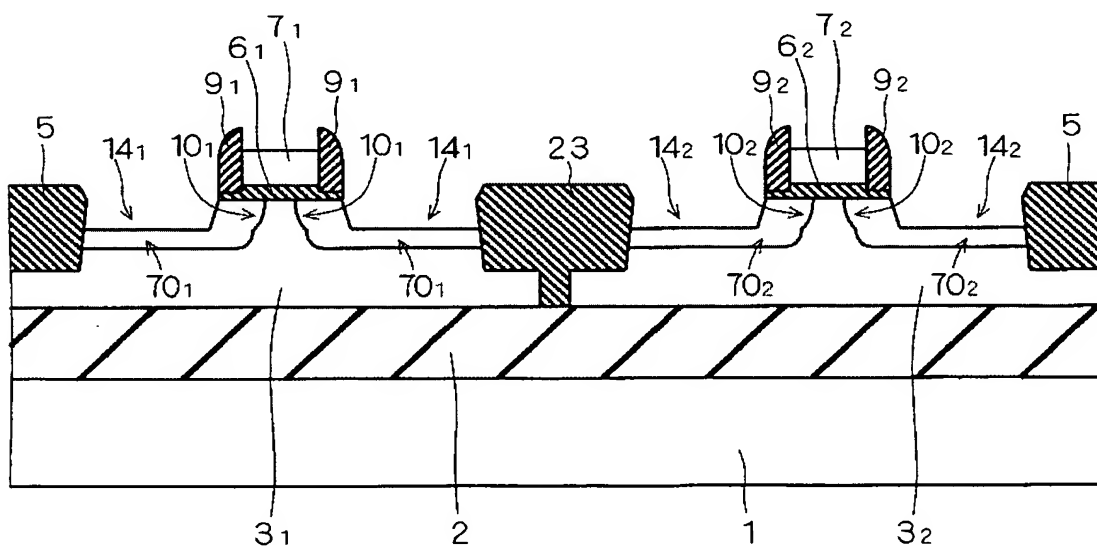


241: フォトリソグ

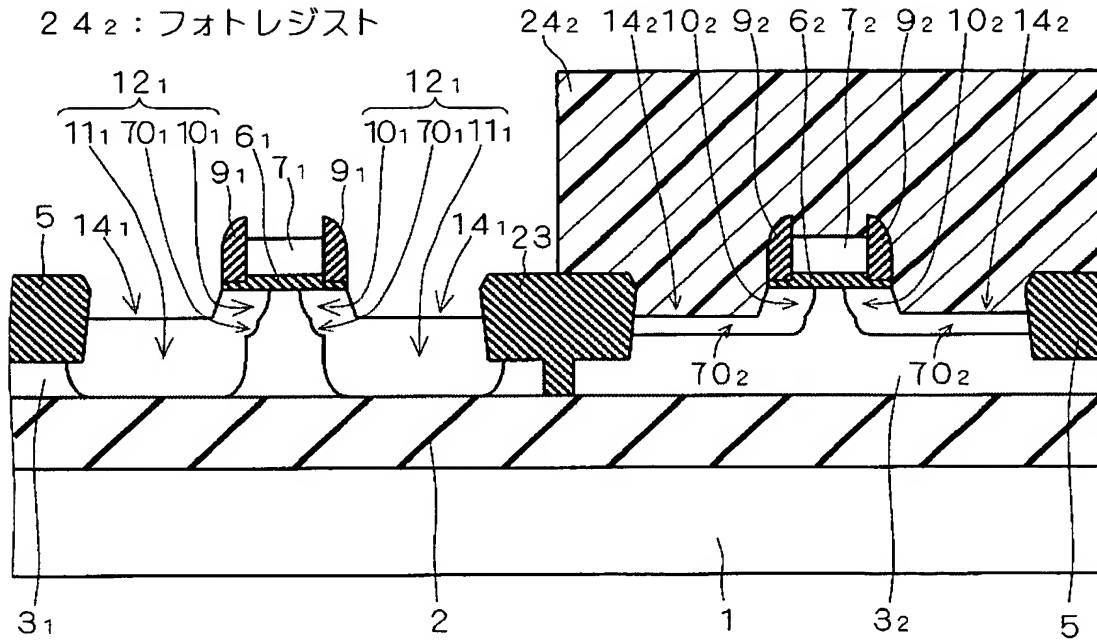
【図 5 3】



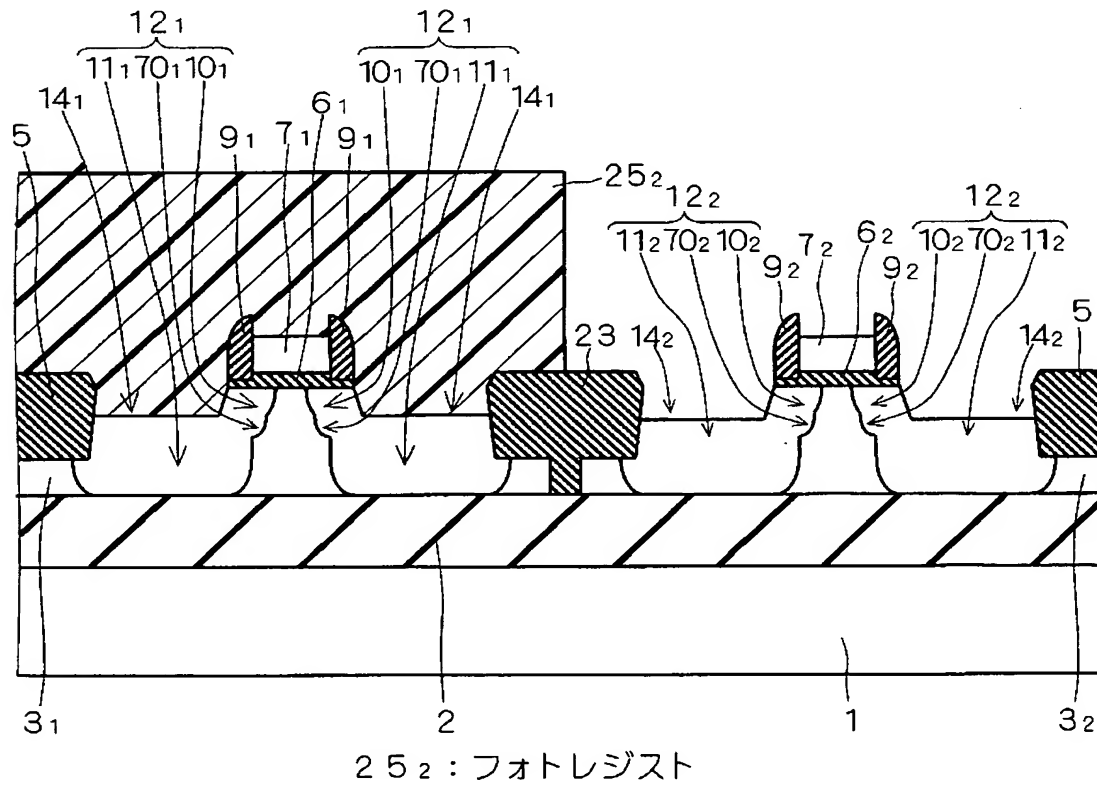
【図 5 4】



【図 5 5】



【図 5 6】



【書類名】 要約書

【要約】

【課題】 接合容量の増加等の弊害を伴わずに分離耐圧の低下を適切に回避し得る、半導体装置及びその製造方法を得る。

【解決手段】 凹部 1 4 を形成することによってシリコン層 3 が予め薄膜化された後に、不純物導入領域 1 1 が形成される。従って、素子分離絶縁膜 5 の底面と BOX 層 2 の上面との間に位置している部分の p 型のシリコン層 3 内に、n 型の不純物が注入されないため、分離耐圧が低下することを回避できる。しかも、不純物導入領域 1 1 は BOX 層 2 の上面に到達して形成されるため、ソース・ドレイン領域 1 2 の接合容量が増加することもない。

【選択図】 図 1

特願 2 0 0 3 - 2 9 5 2 3 4

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ